

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Kazuhiro KOBAYASHI, et al.

SERIAL NO: NEW APPLICATION

FILED: Herewith

FOR: LIQUID CRYSTAL DISPLAY

GAU:

EXAMINER: 10/08/01

Jc903 U.S. PRO
09/805039

REQUEST FOR PRIORITY

ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number, filed, is claimed pursuant to the provisions of **35 U.S.C. §120**.
- ☐ Full benefit of the filing date of U.S. Provisional Application Serial Number, filed, is claimed pursuant to the provisions of **35 U.S.C. §119(e)**.
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of **35 U.S.C. §119**, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

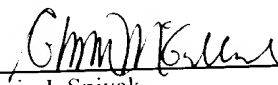
<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2000-072766	March 15, 2000
Japan	2000-082141	March 23, 2000
Japan	2000-082142	March 23, 2000

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number .
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
(B) Application Serial No.(s)
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.


Marvin J. Spivak
Registered Professional Engineer
Registration Number 21,124



22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 10/98)

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

2000年 3月15日

出 願 番 号
Application Number:

特願2000-072766

出 願 人
Applicant(s):

株式会社アドバンスト・ディスプレイ

2000年11月17日

特 許 庁 長 官
Commissioner,
Patent Office

及 川 耕 造

出証番号 出証特2000-3096676

【書類名】 特許願

【整理番号】 A199111903

【提出日】 平成12年 3月15日

【あて先】 特許庁長官 近藤 隆彦 殿

【国際特許分類】 G02F 1/136

【発明者】

 【住所又は居所】 熊本県菊池郡西合志町御代志 9 9 7 番地 株式会社アド
 バンスト・ディスプレイ内

 【氏名】 中村 伸宏

【発明者】

 【住所又は居所】 熊本県菊池郡西合志町御代志 9 9 7 番地 株式会社アド
 バンスト・ディスプレイ内

 【氏名】 井上 和式

【発明者】

 【住所又は居所】 熊本県菊池郡西合志町御代志 9 9 7 番地 株式会社アド
 バンスト・ディスプレイ内

 【氏名】 吉田 卓司

【発明者】

 【住所又は居所】 熊本県菊池郡西合志町御代志 9 9 7 番地 株式会社アド
 バンスト・ディスプレイ内

 【氏名】 小林 和弘

【発明者】

 【住所又は居所】 熊本県菊池郡西合志町御代志 9 9 7 番地 株式会社アド
 バンスト・ディスプレイ内

 【氏名】 中嶋 健

【特許出願人】

 【識別番号】 595059056

 【氏名又は名称】 株式会社アドバンスト・ディスプレイ

【代理人】

【識別番号】 100065226

【弁理士】

【氏名又は名称】 朝日奈 宗太

【電話番号】 06-6943-8922

【選任した代理人】

【識別番号】 100098257

【弁理士】

【氏名又は名称】 佐木 啓二

【手数料の表示】

【予納台帳番号】 001627

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9503603

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 薄膜トランジスタアレイ基板およびその製造方法

【特許請求の範囲】

【請求項 1】 絶縁性基板、該絶縁性基板上に形成された第 1 の金属パターン、該第 1 の金属パターン上の絶縁膜、該絶縁膜上の半導体パターン、該半導体パターン上の第 2 の金属パターンを具備し、該半導体パターンは該第 2 の金属パターンを内包することを特徴とする薄膜トランジスタアレイ基板。

【請求項 2】 絶縁性基板、該基板と該基板上に形成されたゲート配線、該ゲート配線上のゲート絶縁膜、該ゲート絶縁膜上の半導体層、該半導体層上のソース配線、ソース電極、ドレイン電極、該ソース配線、該ソース電極、該ドレイン電極上に形成された層間絶縁膜、該層間絶縁膜上に形成された画素電極を具備し、該半導体パターンは該ソース配線、該ソース電極、該ドレイン電極を内包しており、該層間絶縁膜を貫通し、該ドレイン電極に達する第 1 のコンタクトホールおよび該ソース配線に達する第 2 のコンタクトホールと、該ゲート絶縁膜および該層間絶縁膜を貫通し該ゲート配線に達する第 3 のコンタクトホールを有し、該第 1 ～ 3 のコンタクトホールは該画素電極材料のパターンで覆われていることを特徴とする薄膜トランジスタアレイ基板。

【請求項 3】 前記ソース配線と前記ドレイン電極を内包する半導体パターンの外縁の少なくとも一部が前記ゲート配線の外縁の内側に入り込んでいる請求項 2 記載の薄膜トランジスタアレイ基板。

【請求項 4】 絶縁基板上に第 1 の金属薄膜を成膜した後に、第 1 の写真製版、エッチング工程でゲート配線を形成し、その後、ゲート絶縁膜、半導体膜とオーミックコンタクト膜、第 2 の金属膜を成膜し、その後、第 2 の写真製版工程でレジストパターンをソース配線、ソース電極、ドレイン電極、および薄膜トランジスタの半導体活性層該当部に、少なくとも該半導体活性層該当部で、その他の部分よりもレジスト膜厚が薄くなるように形成し、その後第 2 の金属膜をエッチングしてソース配線、ソース電極、ドレイン電極を形成し、その後該オーミックコンタクト膜および該半導体膜をエッチングし、その後レジストを薄膜化し、該薄膜トランジスタ活性層該当部のレジストを除去し、その後第 2 の金属膜をエ

ツチングし該半導体活性層該当部上の第2の金属膜を除去し、その後半導体活性層該当部上のオーミック膜を除去し、その後、層間絶縁膜を成膜し、その後に第3の写真製版、エッチング工程で該ゲート絶縁膜および層間絶縁膜をパターンニングして、該ドレイン電極に達する第1のコンタクトホールおよび該ソース配線に達する第2のコンタクトホールと、ゲート配線に達する第3のコンタクトホールを形成し、その後導電膜を成膜し、第4の写真製版、エッチング工程で画素電極を該第1のコンタクトホールを介して該ドレイン電極に接続するよう形成し、ソース端子を該第2のコンタクトホールを介して該ソース配線に接続するよう形成し、ゲート端子を該第3のコンタクトホールを介して該ゲート配線に接続するよう形成することを特徴とする薄膜トランジスタアレイ基板の製造方法。

【請求項5】 前記第2の写真工程において、前記ソース配線、前記ソース電極、該ドレイン電極、および該薄膜トランジスタ半導体活性層該当部に相当するマスクパターンを露光した後、少なくとも該薄膜トランジスタ半導体活性層該当部を別のマスクパターンを用いて追加露光することにより該薄膜トランジスタ半導体活性層該当部のレジスト膜厚を他の部分よりも薄くする請求項4記載の薄膜トランジスタの製造方法。

【請求項6】 前記第2の写真工程において、形成されるレジストパターンが、該半導体活性層該当部以外に、該ソース電極あるいは、該ドレイン電極の周囲に他の部分よりもレジスト膜厚が薄い部分を有する請求項4記載の薄膜トランジスタアレイの製造方法。

【請求項7】 前記トランジスタ半導体活性層該当部分に当たるマスクパターンをドットパターンあるいはストライプパターンにすることにより、該部分のレジスト膜厚を他の部分よりも薄くする請求項4記載の薄膜トランジスタアレイの製造方法。

【請求項8】 前記第2のエッチング工程で該第2の金属膜をエッチング後、該オーミック膜、該半導体膜のエッチングおよび該薄膜トランジスタ半導体活性層該当部上のレジスト除去を、ドライエッチングにより行う請求項4記載の薄膜トランジスタアレイの製造方法。

【請求項9】 該ドライエッチング工程に、レジストアッシング工程を含む

請求項 8 記載の薄膜トランジスタレイの製造方法。

【請求項 1 0】 前記ソース配線、該ソース電極、該ドレイン電極が単層の金属からなる請求項 2 記載の薄膜トランジスタレイ基板。

【請求項 1 1】 前記ソース配線、該ソース電極、該ドレイン電極が Cr、Mo、Ti、W、Al あるいは、これらのうちの少なくとも 1 つを含む合金である請求項 1 0 記載の薄膜トランジスタレイ基板。

【請求項 1 2】 前記画素電極が ITO であり、該ソース配線、該ソース電極、該ドレイン電極が Cr、Ti、W あるいはこれらのうちの少なくとも 1 つを含む合金である請求項 1 0 記載の薄膜トランジスタレイ基板。

【請求項 1 3】 前記画素電極が IPS 電極を形成する請求項 2 記載の薄膜トランジスタレイ基板。

【請求項 1 4】 前記 IPS 電極が Cr、Mo、Ti、W あるいは、これらのうちの少なくとも 1 つを含む合金である請求項 1 3 記載の薄膜トランジスタレイ基板。

【請求項 1 5】 請求項 1、2、3、1 0、1 1、1 2、1 3 および 1 4 記載の薄膜トランジスタレイ基板を用いて製造された液晶ディスプレイ。

【請求項 1 6】 請求項 4、5、6、7、8 および 9 記載の薄膜トランジスタレイ基板の製造方法を用いて製造された液晶ディスプレイ。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は薄膜トランジスタレイ基板およびその製造方法に関する。さらに詳しくは、点欠陥および線欠陥が少なくかつ、薄膜トランジスタ (TFT) のリーク電流を低減できる薄膜トランジスタレイ基板を 4 回の写真製版工程で製造するものであり、本発明は TFT-LCD の表示特性および生産性を向上するものである。

【0 0 0 2】

【従来の技術】

液晶を用いた電気光学素子はディスプレイへの応用がさかんになされている。

液晶を用いた電気光学素子は一般に、上下に電極を備えた2枚の基板の間に液晶を挟持した構成のものに、さらに上下に偏光板を設置した構成をとり、透過型のものでは背面にバックライトが設置される。上下の電極基板の表面はいわゆる配向処理がなされ、液晶分子の平均的な向きであるダイレクターが所望の初期状態に制御される。液晶には複屈折性があり、バックライトより偏光板を通して入射された光は複屈折により楕円偏光に変化し、反対側の偏光板に入射される。この状態で、上下の電極間に電圧を印加するとダイレクターの配列状態が変化することにより、液晶層の複屈折率が変化し、反対側の偏光板に入射される楕円偏光状態が変化し、従って電気光学素子を透過する光強度およびスペクトルが変化する。この電気光学効果は用いる液晶相の種類、初期配向状態、偏光板の偏向軸の向き、液晶層の厚さ、あるいは光が透過する途中に設置されるカラーフィルターや各種干渉フィルムによって異なるが、公知の文献等によって詳細に報告されている。一般にはネマチック液晶相を用いて、TNまたはSTNと呼ばれる構成のものが用いられる。

【0003】

液晶を用いたディスプレイ用電気光学素子には、単純マトリックス型のものと、薄膜トランジスタ（TFT）をスイッチング素子として用いるTFT-LCDがある。携帯性、表示品位の点でCRTや単純マトリックス型液晶表示装置より優れた特徴を持つTFT-LCDがノート型パソコンなどに広く実用されている。TFT-LCDでは、一般にTFTをアレイ状に形成したTFTアレイ基板と共通電極が形成されたカラーフィルター付きの対向基板との間に液晶を挟持した構成の上下に偏向板が設置され、さらに背後にバックライトを設置した構成をとる。このような構成によって良好なカラー表示が得られる特徴を持つ。

【0004】

TFT-LCDでは液晶に電圧を印加するため、ゲートラインの選択時間内にTFTをオン状態とし、ソース配線から画素電極に電荷を流入し、画素電位をソース配線と同電位とする。その後ゲートが非選択状態になると、TFTはオフ状態になり画素の電荷は保持されるが、実際にはTFTや液晶内のリーク電流により画素の電荷量は減少し、結果的には画素の電位が減少する。これらの画素電位

の変動を防ぐため、通常は補助容量を設けて単位電荷量の変化に対する画素電位の変化量が小さくなるようにする。またTFT-LCDの生産性向上のためFTFアレイの製造工程数を削減する試みがなされている。そのうち写真製版工程を削減する試みが特開平6-202153号公報、特開平8-328040号公報、特開平8-50308号公報に示されている。

【0005】

図28に特開平8-50308号公報の第7実施例に開示された5工程の写真製版工程で製造されるTFTアレイ基板の画素部の断面図を示した。本従来例は、まず透明基板上に100nm程度の厚さでCr、Ta、Mo、Alなどの第1の導電性金属薄膜が形成される。つぎに第1の写真製版工程で第1の導電性金属薄膜をパターニングしてゲート電極51を形成する。このとき、第1の導電性金属薄膜がCrの場合には、例えば $(\text{NH}_4)_2[\text{Ce}(\text{NO}_3)_6] + \text{HNO}_3 + \text{H}_2\text{O}$ 液を用いてウェットエッチング処理される。つぎに第1の絶縁膜52として SiN_x 膜、半導体能動膜53としてa-Si膜、オーミックコンタクト膜54として n^+ a-Si膜をそれぞれ300nm、100nm、20nm程度の膜厚で積層する。つぎに第2の写真製版工程で半導体能動膜53とオーミックコンタクト膜54をゲート電極上方に半導体部を他の部分と分離状態で島状にパターニングする。このとき、例えば $\text{SF}_6 + \text{HCl} + \text{He}$ で半導体能動膜とオーミックコンタクト膜がドライエッチング処理される。

【0006】

つぎに300nm程度の厚さでTiなどの第2の金属薄膜を形成する。つぎに第3の写真製版工程で第2の金属薄膜とオーミックコンタクト膜をパターニングしてソース配線55、ソース電極56、ドレイン電極57と薄膜トランジスタの半導体活性層58が形成される。つぎにプラズマCVDなどの方法で400nm程度の厚さで層間絶縁膜（パッシベーション膜）59が形成される。つぎに第4の写真製版工程でパッシベーション膜をパターニングしてドレイン電極57に通じるコンタクトホール60、ゲート配線に通じるコンタクトホール、ソース配線に通じるコンタクトホールを形成する。このとき、例えば $\text{SF}_6 + \text{O}_2$ などを用いたドライエッチングによってパッシベーション膜がエッチング処理される。つぎ

に 1 5 0 n m 程度の厚さで I T O よりなる透明導電膜が形成される。つぎに第 5 の写真製版工程で透明導電膜をパターニングして透明画素電極 6 1、ソース配線接続用の端子部およびゲート配線接続用の端子部を形成する。このとき、例えば $\text{HCl} + \text{HNO}_3 + \text{H}_2\text{O}$ 液を用いて I T O 膜がウェットエッチング処理される。

【 0 0 0 7 】

本従来例ではこのように、5 工程の写真製版工程で T F T アレイを製造する方法が開示されており、その効果として、5 工程の写真製版工程に短縮できたために歩留まりが向上し製造コストが削減でき、かつ透明画素電極上にパッシベーション膜が無いために液晶に効率良く電圧が印加でき、かつ透明画素電極およびソース配線およびゲート配線をそれぞれ絶縁膜で分離して形成するために透明画素電極形成不良によるソース配線もしくはゲート配線どうしの短絡が生じるおそれがないことが述べられている。また本従来例の効果として、第 1 の導電性金属薄膜に、金属薄膜と酸化されにくい材料または透明導電膜に対して導電性酸化物として固溶する材料からなるバリア膜との積層膜を用いた場合には、さらにバリア膜が酸化防止効果を奏してこれらの膜と透明導電膜とのコンタクト性を確保するために信号遅延の問題が生じにくいこと、および、金属薄膜として導電性の良好な A l や T a を用いることで金属薄膜の膜厚を薄くして T F T 素子全体のステップカバレッジを向上し、歩留まりを向上できることが述べられている。上記 T F T アレイ構造ではゲート配線、ソース配線および画素電極が互いに絶縁膜によって分離されているため、ショートが発生しにくく歩留まりも上がりやすいというメリットもある。

【 0 0 0 8 】

【発明が解決しようとする課題】

前記の特開平 8 - 5 0 3 0 8 号公報の第 7 実施例では半導体層 5 3 を互いに島状に分離して形成する技術が開示されているが、ソース配線が単層金属で形成されかつウェットエッチングでパターニングされる場合には、半導体層段差部でのソース金属の密着性が悪い場合など、エッチング中に段差部よりエッチング液が金属・半導体界面に入り込んで断線の原因につながるため、特開平 1 0 - 2 6 8 3 5 3 号公報に開示されているように、ソース配線下には半導体パターンを延在

させた方がよい。また半導体層 5 3 を互いに分離して形成したときの薄膜トランジスタの平面図を図 2 9 に示す。一般に半導体端面はリーク電流が流れやすいため、このような構造の場合ソース電極 5 6 からドレイン電極 5 7 に至る端面リークパス 6 2 が存在し、薄膜トランジスタのリーク電流を増大させる。これにより、コントラストの低下や、高温使用時での輝点欠陥の増加（ノーマリーホワイต์の場合）など、ディスプレイの表示品位に大きな影響を及ぼす。

【 0 0 0 9 】

一方ゲート配線、ソース配線および画素電極を分離した状態では写真製版工程が 5 回の技術は開示されているが、さらに写真製版工程を削減した技術は開示されていない。本発明の目的は、上記構造を保ちつつ写真製版工程を 4 回に削減し、ソース電極あるいはソース配線下に半導体層段差を有さず、かつ半導体層端面リークによる表示不具合を効率的に防止することにより表示品位、歩留まりを維持し、さらに生産性向上を図るものである。

【 0 0 1 0 】

【課題を解決するための手段】

請求項 1 に記載されている本発明にかかわる薄膜トランジスタアレイ基板は、絶縁性基板、該絶縁性基板上に形成された第 1 の金属パターン、該第 1 の金属パターン上の絶縁膜、該絶縁膜上の半導体パターン、該半導体パターン上の第 2 の金属パターンを具備し、該半導体パターンは該第 2 の金属パターンを内包することを特徴とするものである。

【 0 0 1 1 】

請求項 2 に記載されている本発明にかかわる薄膜トランジスタアレイ基板は、絶縁性基板、該基板と該基板上に形成されたゲート配線、該ゲート配線上のゲート絶縁膜、該ゲート絶縁膜上の半導体層、該半導体層上のソース配線、ソース電極、ドレイン電極、該ソース配線、該ソース電極、該ドレイン電極上に形成された層間絶縁膜、該層間絶縁膜上に形成された画素電極を具備し、該半導体パターンは該ソース配線、該ソース電極、該ドレイン電極を内包しており、該層間絶縁膜を貫通し、該ドレイン電極に達する第 1 のコンタクトホールおよび該ソース配線に達する第 2 のコンタクトホールと、該ゲート絶縁膜および該層間絶縁膜を貫

通し該ゲート配線に達する第3のコンタクトホールを有し、該第1～3のコンタクトホールは該画素電極材料のパターンで覆われていることを特徴とするものである。

【 0 0 1 2 】

請求項3に記載されている本発明にかかわる薄膜トランジスタアレイ基板は、請求項2において、前記ソース配線と前記ドレイン電極を内包する半導体パターンの外縁の少なくとも一部がゲート配線の外縁の内側に入り込んでいるものである。

【 0 0 1 3 】

請求項4に記載されている本発明にかかわる薄膜トランジスタアレイ基板の製造方法は、絶縁基板上に第1の金属薄膜を成膜した後に、第1の写真製版、エッチング工程でゲート配線を形成し、その後、ゲート絶縁膜、半導体膜とオーミックコンタクト膜、第2の金属膜を成膜し、その後、第2の写真製版工程でレジストパターンをソース配線、ソース電極、ドレイン電極、および薄膜トランジスタの半導体活性層該当部に、該半導体活性層該当部のみその他の部分よりもレジスト膜厚が薄くなるように形成し、その後第2の金属膜をエッチングしてソース配線、ソース電極、ドレイン電極を形成し、その後該オーミックコンタクト膜および該半導体膜をエッチングし、その後レジストを薄膜化し、該薄膜トランジスタ活性層該当部のレジストを除去し、その後第2の金属膜をエッチングし該半導体活性層該当部上の第2の金属膜を除去し、その後半導体活性層該当部上のオーミック膜を除去し、その後、層間絶縁膜を成膜し、その後に第3の写真製版、エッチング工程で該ゲート絶縁膜および層間絶縁膜をパターニングして、該ドレイン電極に達する第1のコンタクトホールおよび該ソース配線に達する第2のコンタクトホールと、ゲート配線に達する第3のコンタクトホールを形成し、その後導電膜を成膜し、第4の写真製版、エッチング工程で画素電極を該第1のコンタクトホールを介して該ドレイン電極に接続するよう形成し、ソース端子を該第2のコンタクトホールを介して該ソース配線に接続するよう形成し、ゲート端子を該第3のコンタクトホールを介して該ゲート配線に接続するよう形成することを特徴とするものである。

【 0 0 1 4 】

請求項 5 に記載されている本発明にかかわる薄膜トランジスタアレイ基板の製造方法は、請求項 4 の第 2 の写真工程において、前記ソース配線、前記ソース電極、該ドレイン電極、および該薄膜トランジスタ半導体活性層該当部に相当するマスクパターンを露光した後、該薄膜トランジスタ半導体活性層該当部を別のマスクパターンを用いて追加露光することにより該薄膜トランジスタ半導体活性層該当部のレジスト膜厚を他の部分よりも薄くするものである。

【 0 0 1 5 】

請求項 6 に記載されている本発明にかかわる薄膜トランジスタアレイ基板の製造方法は、請求項 4 の第 2 の写真工程において、形成されるレジストパターンが、該半導体活性層該当部以外に、該ソース電極あるいは、該ドレイン電極の周囲に他の部分よりもレジスト膜厚が薄い部分を有するものである。

【 0 0 1 6 】

請求項 7 に記載されている本発明にかかわる薄膜トランジスタアレイ基板の製造方法は、請求項 4 において、前記トランジスタ半導体活性層該当部分に当たるマスクパターンをドットパターンあるいはストライプパターンにすることにより、該部分のレジスト膜厚を他の部分よりも薄くするものである。

【 0 0 1 7 】

請求項 8 に記載されている本発明にかかわる薄膜トランジスタアレイ基板の製造方法は、請求項 4 において、第 2 のエッチング工程で該第 2 の金属膜をエッチング後、オーミック膜、該半導体膜のエッチングおよび薄膜トランジスタ半導体活性層該当部上のレジスト除去をドライエッチングにより行うものである。

【 0 0 1 8 】

請求項 9 に記載されている本発明にかかわる薄膜トランジスタアレイ基板の製造方法は、請求項 8 において、該ドライエッチング工程に、レジストアッシング工程を含むものである。

【 0 0 1 9 】

請求項 1 0 に記載されている本発明にかかわる薄膜トランジスタアレイ基板は、請求項 2 において、前記ソース配線、該ソース電極、該ドレイン電極が単層の

金属からなるものである。

【0020】

請求項11に記載されている本発明にかかわる薄膜トランジスタアレイ基板は、請求項10において前記ソース配線、該ソース電極、該ドレイン電極をCr、Mo、Ti、W、Alあるいは、これらのうちの少なくとも1つを含む合金とするものである。

【0021】

請求項12に記載されている本発明にかかわる薄膜トランジスタアレイ基板は、請求項10において、前記画素電極がITOであり、該ソース配線、該ソース電極、該ドレイン電極をCr、Ti、Wあるいはこれらのうちの少なくとも1つを含む合金とするものである。

【0022】

請求項13に記載されている本発明にかかわる薄膜トランジスタアレイ基板は、請求項2において前記画素電極がIPS電極を形成するものである。

【0023】

請求項14に記載されている本発明にかかわる薄膜トランジスタアレイ基板は、請求項13において前記IPS電極をCr、Mo、Ti、Wあるいは、これらのうちの少なくとも1つを含む合金とするものである。

【0024】

請求項15に記載されている本発明は請求項1から請求項3および請求項10から請求項14に示した薄膜トランジスタアレイ基板を用いて製造された液晶ディスプレイである。

【0025】

請求項16に記載されている本発明は、請求項4から請求項9に示した薄膜トランジスタアレイ基板の製造方法を用いて製造された液晶ディスプレイである。

【0026】

【発明の実施の形態】

実施の形態1

図1、図2は、本発明の第1実施形態である薄膜トランジスタ基板であり図1

は平面図、図 2 (a) は図 1 における A-A での断面図、図 2 (b) は図 1 における B-B での断面図、図 2 (c) は図 1 における C-C での断面図である。図 1、2 において、1 はゲート配線、1 a はゲート端子部金属パッド、2 は補助容量配線、3 はゲート絶縁膜、4 は半導体パターン、4 a は半導体層（半導体能動膜）、4 b はオーミック層（オーミックコンタクト膜）、5 はソース配線、5 a はソース端子部金属パッド、6 はソース電極、7 はドレイン電極、8 は薄膜トランジスタの半導体活性層、9 は層間絶縁膜、10 はドレイン電極コンタクトホール、11 はゲート端子部コンタクトホール、12 はソース端子部コンタクトホール、13 は画素電極、14 はゲート端子接続パッド、15 はソース端子接続パッドである。

【0027】

つぎに製造方法について説明する。図 3 から 7 までが各工程での平面図であり、図 8 から図 14 までが各工程での図 1 A-A 断面を示している。まず透明基板上に 400 nm 程度の厚さで Cr、Ta、Mo、Al などの第 1 の導電性金属薄膜が形成される。つぎに第 1 の写真製版工程で第 1 の導電性金属薄膜をパターンニングして図 3、図 8 のようにゲート配線 1、ゲート端子部金属パッド 1 a、補助容量配線 2 を形成する。このとき、第 1 の導電性金属薄膜が Cr の場合には、例えば $(\text{NH}_4)_2[\text{Ce}(\text{NO}_3)_6] + \text{HNO}_3 + \text{H}_2\text{O}$ 液を用いてウエットエッチング処理される。つぎに図 9 に示すようにゲート絶縁膜 3 として SiN_x 膜、半導体能動膜 4 a として a-Si 膜、オーミックコンタクト膜 4 b として $\text{n}^+\text{a-Si}$ 膜、第 2 の金属膜 16 として Cr をそれぞれ 400 nm、150 nm、30 nm、400 nm 程度の膜厚で積層する。 SiN_x 、a-Si、 $\text{n}^+\text{a-Si}$ 膜はプラズマ CVD 装置を用いて成膜し、オーミック層成膜時には PH_3 をドーブして $\text{n}^+\text{a-Si}$ を形成する。Cr 成膜については DC マグネトロン型スパッタ装置を用いて成膜する。

【0028】

つぎに第 2 の写真製版工程で図 4 に示すようにソース配線 5、ソース端子部金属パッド 5 a、ドレイン電極 7 を形成するための通常膜厚のレジストパターン 17 a および薄膜トランジスタの半導体活性層 8 を形成するための薄膜のレジスト

パターン 1 7 b を形成する。ここでレジストはノボラック樹脂系のポジ型レジストを用い、レジスト塗布はスピコートにより $1.5 \mu\text{m}$ とする。レジスト塗布後は 120°C で 90 秒プリベークを実施し、その後、レジストパターン 1 7 a およびレジストパターン 1 7 b を包括するマスクパターンで 1000 msec 露光を行い、その後半導体活性層部のレジストパターン 1 7 b のみ露光できるマスクパターンを用いて 400 msec 追加露光を行った。この 2 段階の露光を行なうことにより、通常膜厚のレジストパターン 1 7 a と薄膜レジストパターン 1 7 b の膜厚を異なるものとしている。露光機はステッパあるいはミラープロジェクションタイプの露光機であり、光源には高圧水銀ランプの g 線、h 線を用いた。ついで、有機アルカリ系の現像液を用いて現像したのち、 100°C から 120°C でポストベークを 180 秒実施、レジスト中の溶媒を揮発させると同時にレジストと Cr の密着力を高める。これらのプロセスによって、薄膜トランジスタ部のレジスト形状は図 10 に示すような形状となる。ここで通常膜厚レジストパターン 1 7 a のレジスト膜厚は $1.4 \mu\text{m}$ 程度、薄膜レジストパターン 1 7 b のレジスト膜厚は $0.4 \mu\text{m}$ 程度となる。

【0029】

その後さらに 120°C から 130°C でオープンベークを実施し、さらにレジスト・Cr 間の密着力を高める。このときベーク温度が高すぎる場合にはレジスト端面がだれてしまうので注意を要する。その後 Cr 膜 16 のエッチングを $(\text{NH}_4)_2[\text{Ce}(\text{NO}_3)_6] + \text{HNO}_3 + \text{H}_2\text{O}$ 液を用いて実施する。その後 $\text{HCl} + \text{SF}_6 + \text{He}$ ガスを用いてオーミック膜 4 b および半導体膜 4 a をエッチングする。その後酸素プラズマによりレジストをアッシングし、図 11 に示すように薄膜レジストパターン 1 7 b を除去して薄膜トランジスタ活性層 8 の該当部の Cr 膜を露出するようにする。アッシングは圧力が 40 Pa で 60 秒実施した。またアッシングする際は RIE モードの方が PE モードに比べて、図 11 の 18 に示すレジスト開口部の大きさが制御しやすい。

【0030】

その後 130°C から 140°C でオープンベークを実施した後、 $(\text{NH}_4)_2[\text{Ce}(\text{NO}_3)_6] + \text{HNO}_3 + \text{H}_2\text{O}$ 液を用いて開口部 18 にある Cr 膜 16 をエッ

チングする。このときCrパターン全体にサイドエッチングが入るため、a-Siパターンに比べCrパターンは1.5から2 μ m程度細くなる(a-Siパターンより内側となる)。このことによってソース電極からドレイン電極でのa-Siパターン端面を通じてのリーク電流を抑制することができる。このCrエッチングではある程度のオーバーエッチングが必要となる。オーバーエッチングの量は50%程度が望ましい。ついで図12に示すようにSF₆+HClを用いて半導体活性層該当部8にあるオーミック層4bおよび半導体層4aの一部を合計100nm程度エッチングする。その後レジストを除去すると図5に示すとおり、半導体パターン4、ソース配線5、ソース電極6、ドレイン電極7、ソース端子部金属パッド5aが形成される。

【0031】

つぎに図6および図13に示すとおり、PCVD装置を用いて層間絶縁膜9であるSiN_xを300nm形成し、第3の写真製版工程でパターニングして、図2(b)、図2(c)、図6、図13に示すドレイン電極7に通じるコンタクトホール10、ゲート端子部金属パッド1aに通じるコンタクトホール11、ソース端子部金属パッドに通じるコンタクトホール12をCF₄+O₂を用いたドライエッチングで形成する。つぎに図7および図14に示すように100nm程度の厚さでITOよりなる透明導電膜をDCマグネトロン型スパッタ装置を用いて形成する。つぎに第4の写真製版工程でITOをパターニングして透明画素電極13、ゲート端子部パッド14およびソース端子部パッド15を形成する。このとき、例えばHCl+HNO₃+H₂O液を用いてITO膜がウエットエッチング処理される。

【0032】

このようにして製造された薄膜トランジスタアレイは4回の写真製版工程で作成され、ソース配線下に半導体層段差が存在しないため、ソース断線が発生しにくく、かつソース電極、ドレイン電極のパターンが半導体パターンの内側に内包されて交差しないため、薄膜トランジスタ部のリーク電流も低く抑えられた。また第2金属膜16を単層の金属とすることにより、第2金属膜16のエッチング回数を2回で済むようにしている。またその金属をCrにすることにより、画素

をITOで形成するとき、そのエッチャントによる層間絶縁膜9に存在するピンホールを介してソース配線などが腐食されることを防止している。

【0033】

実施の形態2

図15は、本発明の第2実施形態である薄膜トランジスタ基板であり、図15中のD-D、E-E、F-F断面は第1実施形態と同じであり、それぞれ図1、図2(a)、図2(b)に示す。ここに1はゲート配線、1aはゲート端子部金属パッド、2は補助容量配線、3はゲート絶縁膜、4は半導体パターン、4aは半導体層、4bはオーミック層、5はソース配線、5aはソース端子部金属パッド、6はソース電極、7はドレイン電極、8は薄膜トランジスタの半導体活性層、9は層間絶縁膜、10はドレイン電極コンタクトホール、11はゲート端子部コンタクトホール、12はソース端子部コンタクトホール、13は画素電極、14はゲート端子接続パッド、15はソース端子接続パッドである。

【0034】

つぎに製造方法について説明する。図16から図20までが各工程での平面図であり、第1実施形態と同様、図8から図14までが各工程での図15のD-D断面を示している。

【0035】

まず透明基板上に400nm程度の厚さでCr、Ta、Mo、Alなどの第1の導電性金属薄膜が形成される。つぎに第1の写真製版工程で第1の導電性金属薄膜をパターニングして図16、図8のようにゲート配線1、ゲート端子部金属パッド1a、補助容量配線2を形成する。このとき、第1の導電性金属薄膜がCrの場合には、例えば $(\text{NH}_4)_2[\text{Ce}(\text{NO}_3)_6] + \text{HNO}_3 + \text{H}_2\text{O}$ 液を用いてウエットエッチング処理される。つぎに図9に示すようにゲート絶縁膜3として SiN_x 膜、半導体能動膜4aとしてa-Si膜、オーミックコンタクト膜4bとして n^+ a-Si膜、第2の金属膜16としてCrをそれぞれ400nm、105nm、30nm、400nm程度の膜厚で積層する。 SiN_x 、a-Si、 n^+ a-Si膜はプラズマCVD装置を用いて成膜し、オーミック成膜時には PH_3 をドーピングして n^+ a-Siを形成する。Cr成膜についてはDCマグネトロ

ン型スパッタ装置を用いて成膜する。

【0036】

つぎに第2の写真製版工程で図17に示すようにソース配線、ソース端子部金属パッド、ドレイン電極を形成するためのレジストパターン17aおよび薄膜トランジスタの半導体活性層8を形成するためのレジストパターン17b、半導体端面リーク防止用レジストパターン17c、17d、およびゲート・ソース配線間ショート防止用レジストパターン17eを形成する。ここでレジストはノボラック樹脂系のポジ型レジストを用い、レジスト塗布はスピコートにより $1.5\mu\text{m}$ とする。レジスト塗布後は 120°C で90秒プリベークを実施し、その後、レジストパターン17aは通常のCr全面マスクパターンでありかつ、レジストパターン17b、17c、17d、17eをライン/スペース= $1.5\mu\text{m}/1.5\mu\text{m}$ のCrストライプ形状を有するマスクパターンを用いて1000msec露光を行った。ストライプマスクパターンを図21に示す。露光機は通常のステッパあるいはミラープロジェクションタイプの露光機であり、光源には高圧水銀ランプのg線、h線を用いた。このとき、ストライプパターンは露光装置の解像限界よりも微細なパターンなので、レジストはストライプ状には露光されず、平均的で他の露光部よりも少ない露光量となる。

【0037】

ついで、有機アルカリ系の現像液を用いて現像したのち、 100°C から 120°C でポストベークを180秒実施、レジスト中の溶媒を揮発させると同時にレジストとCrの密着力を高める。これらのプロセスによって、薄膜トランジスタ部のレジスト形状は図10に示すような形状となる、ここでレジストパターン17aの膜厚は $1.4\mu\text{m}$ 程度、レジストパターン17b、17c、17d、17eの膜厚は 0.4 から $0.6\mu\text{m}$ 程度となる。その後さらに 120°C から 130°C でオープンベークを実施し、さらにレジスト・Cr間の密着力を高める。このときベーク温度が高すぎる場合にはレジスト端面がだれてしまうので注意を要する。その後Cr膜16のエッチングを $(\text{NH}_4)_2[\text{Ce}(\text{NO}_3)_6] + \text{HNO}_3 + \text{H}_2\text{O}$ 液を用いて実施する。その後 $\text{HCl} + \text{SF}_6$ ガスを用いてオーミック膜4bおよび半導体膜4aをエッチングする。その後酸素プラズマによりレジストをア

ッシングし、レジストパターン17b、17c、17d、17e部のCr膜を露出するようにする。アッシングは圧力が40Paで60秒実施した。またアッシングする際はRIEモードの方がPEモードに比べて、図11の18に示すレジスト開口部の大きさが制御しやすい。

【0038】

その後130℃から140℃でオープンバークを実施した後、 $(\text{NH}_4)_2[\text{Ce}(\text{NO}_3)_6] + \text{HNO}_3 + \text{H}_2\text{O}$ 液を用いて17b、17c、17d、17eにあるCr膜16をエッチングする。本パターンではソース電極およびドレイン電極付近の半導体パターンをより離して配置してあるため、実施の形態1に比べさらに半導体端面リークの発生抑制効果およびCrオーバーエッチマージンが広い。このパターンの場合は20から50%程度のCrオーバーエッチングが可能となる。但しこの場合注意しなければならないのは、17cのパターンにより形成されるa-Siパターンが連続してゲート配線の外縁からはみ出している場合には、保持状態のときに、この部分にゲートオフバイアスが印加されずかつ、ゲートパターンで遮光されないためリーク電流が多くなる。したがって、ソース配線とドレイン電極を内包する半導体パターンの外縁の少なくとも一部が、図17に示すようにゲート配線の外縁より内側に入り込んでいる必要がある。ついで図12に示すように $\text{SF}_6 + \text{HCl}$ を用いてレジストパターン17b、17c、17d、17e部にあたるオーミック層4bおよび半導体層4aの一部を合計100nm程度エッチングする。その後レジストを除去すると図18に示すとおり、半導体パターン4、ソース配線5、ソース電極6、ドレイン電極7、ソース端子部金属パッド5aが形成される。

【0039】

つぎにPCVD装置を用いて層間絶縁膜9である SiN_x を300nm形成し、第3の写真製版工程でパターニングして、図2(b)、図2(c)、図13、図19に示すドレイン電極7に通じるコンタクトホール10、ゲート端子部金属パッド1aに通じるコンタクトホール11、ソース端子部金属パッドに通じるコンタクトホール12を $\text{CF}_4 + \text{O}_2$ を用いたドライエッチングで形成する。つぎに100nm程度の厚さでITOよりなる透明導電膜をDCマグネトロン型スパッ

タ装置を用いて形成する。つぎに第4の写真製版工程でITOをパターニングして図2(b)、図2(c)、図14、図20に示す透明画素電極13、ゲート端子部パッド14およびソース端子部パッド15を形成する。このとき、例えば $\text{HCl} + \text{HNO}_3 + \text{H}_2\text{O}$ 液を用いてITO膜がウエットエッチング処理される。

【0040】

このようにして製造された薄膜トランジスタアレイは4回の写真製版工程で作成され、ソース配線下に半導体層段差が存在しないため、ソース断線が発生しにくく、かつソース電極、ドレイン電極のパターンが半導体パターンと交差しない上、薄膜トランジスタ半導体パターン端面とソース電極およびドレイン電極との間隔が広がっているため、リーク電流もより低く抑えられた。また、ソース配線とドレイン電極を内包する半導体パターンの外縁の少なくとも一部がゲート配線の外縁の内側に入り込んだ構造を有することにより、光リーク等によるリーク電流の増加を防止している。

【0041】

実施の形態3

図22は、本発明の第3実施形態である薄膜トランジスタ基板でありG-Gでの断面、H-Hでの断面、I-Iでの断面はそれぞれ図1、図2(a)、図2(b)と同様である。ここに1はゲート配線、1aはゲート端子部金属パッド、2は補助容量配線、2aはIPS対向電極、3はゲート絶縁膜、4は半導体パターン、4aは半導体層、4bはオーミック層、5はソース配線、5aはソース端子部金属パッド、6はソース電極、7はドレイン電極、8は薄膜トランジスタの半導体活性層、9は層間絶縁膜、10はドレイン電極コンタクトホール、11はゲート端子部コンタクトホール、12はソース端子部コンタクトホール、13aはIPS電極、14はゲート端子接続パッド、15はソース端子接続パッドである。

【0042】

つぎに製造方法について説明する。図23から図27までが各工程での平面図であり、第1の実施の形態と同様に図8から図14までが各工程での図22G-G断面を示している。

【 0 0 4 3 】

まず透明基板上に400nm程度の厚さでCr、Ta、Mo、Alなどの第1の導電性金属薄膜が形成される。つぎに第1の写真製版工程で第1の導電性金属薄膜をパターンニングして図23、図8のようにゲート配線1、ゲート端子部金属パッド1a、補助容量配線2、IPS対向電極2aを形成する。このとき、第1の導電性金属薄膜がCrの場合には、例えば $(\text{NH}_4)_2[\text{Ce}(\text{NO}_3)_6] + \text{HNO}_3 + \text{H}_2\text{O}$ 液を用いてウェットエッチング処理される。つぎに図9に示すようにゲート絶縁膜3として SiN_x 膜、半導体能動膜4aとしてa-Si膜、オーミックコンタクト膜4bとして n^+ a-Si膜、第2の金属膜16としてCrをそれぞれ400nm、150nm、30nm、400nm程度の膜厚で積層する。 SiN_x 、a-Si、 n^+ a-Si膜はプラズマCVD装置を用いて成膜し、オーミック成膜時には PH_3 をドーピングして n^+ a-Siを形成する。Cr成膜についてはDCマグネトロン型スパッタ装置を用いて成膜する。

【 0 0 4 4 】

つぎに第2の写真製版工程で図24に示すようにソース配線、ソース端子部金属パッド、ドレイン電極を形成するためのレジストパターン17aおよび薄膜トランジスタの半導体活性層8を形成するためのレジストパターン17bを形成する。ここでレジストはノボラック樹脂系のポジ型レジストを用い、レジスト塗布はスピンコートにより1.5 μm とする。レジスト塗布後は120℃で90秒プリベークを実施し、その後、レジストパターン17aおよびレジストパターン17bを包括するマスクパターンで1000msec露光を行い、その後半導体活性層部のレジストパターン17bのみ露光できるマスクパターンを用いて400msec追加露光を行った。露光機はステッパあるいはミラープロジェクションタイプの露光機であり、光源には高圧水銀ランプのg線、h線を用いた。ついで、有機アルカリ系の現像液を用いて現像したのち、100℃から120℃でポストベークを180秒実施、レジスト中の溶媒を揮発させると同時にレジストとCrの密着力を高める。これらのプロセスによって、薄膜トランジスタ部のレジスト形状は図10に示すような形状となる。ここで17aのレジスト膜厚は1.4 μm 程度、17bのレジスト膜厚は0.4 μm 程度となる。

【 0 0 4 5 】

その後さらに120℃から130℃でオーブンベークを実施し、さらにレジスト・Cr間の密着力を高める。このときベーク温度が高すぎる場合にはレジスト端面がだれてしまうので注意を要する。その後Cr膜16のエッチングを $(\text{NH}_4)_2[\text{Ce}(\text{NO}_3)_6] + \text{HNO}_3 + \text{H}_2\text{O}$ 液を用いて実施する。その後 $\text{HCl} + \text{SF}_6 + \text{He}$ ガスを用いてオーミック層4bおよび半導体層4aをエッチングする。その後酸素プラズマによりレジストをアッシングし、図11に示すように半導体活性層8の該当部のCr膜を露出するようにする。アッシングは圧力が40Paで60秒実施した。またアッシングする際はRIEモードの方がPEモードに比べて、図11の18に示すレジスト開口部の大きさが制御しやすい。

【 0 0 4 6 】

その後130℃から140℃でオーブンベークを実施した後、 $(\text{NH}_4)_2[\text{Ce}(\text{NO}_3)_6] + \text{HNO}_3 + \text{H}_2\text{O}$ 液を用いて開口部18にあるCr膜16をエッチングする。 $(\text{NH}_4)_2[\text{Ce}(\text{NO}_3)_6] + \text{HNO}_3 + \text{H}_2\text{O}$ 液を用いて開口部18にあるCr膜16をエッチングする。このときCrパターン全体にサイドエッチングが入るため、a-Siパターンに比べCrパターンは1.5から2μm程度細くなる。このことによってソース電極からドレイン電極でのa-Siパターン端面を通じてのリーク電流を抑制することができる。このCrエッチングではある程度のオーバーエッチングが必要となる。オーバーエッチングの量は50%程度が望ましい。

【 0 0 4 7 】

ついで図12に示すように $\text{SF}_6 + \text{HCl}$ を用いて半導体活性層8の該当部にあるオーミック膜4bおよび半導体層4aの一部を合計100nm程度エッチングする。その後レジストを除去すると図25に示すとおり、半導体パターン4、ソース配線5、ソース電極6、ドレイン電極7、ソース端子部金属パッド5aが形成される。つぎに図6および図13に示すとおり、PCVD装置を用いて層間絶縁膜9である SiN_x を300nm形成し、第3の写真製版工程でパターンニングして、図26、図2(b)、図2(c)に示すドレイン電極7に通じるコンタクトホール10、ゲート端子部金属パッド1aに通じるコンタクトホール11、

ソース端子部金属パッドに通じるコンタクトホール 1 2 を $\text{CF}_4 + \text{O}_2$ を用いたドライエッチングで形成する。

【 0 0 4 8 】

つぎに図 2 7 および図 1 4 に示すように 1 0 0 n m 程度の厚さで C r よりなる導電膜を D C マグネトロン型スパッタ装置を用いて形成する。つぎに第 4 の写真製版工程で C r をパターニングして I P S 電極 1 3 a、ゲート端子部パッド 1 4 およびソース端子部パッド 1 5 を形成する。このとき、例えば $(\text{NH}_4)_2[\text{Ce}(\text{NO}_3)_6] + \text{HNO}_3 + \text{H}_2\text{O}$ 液を用いて C r 膜がウェットエッチング処理される。

【 0 0 4 9 】

このようにして製造された薄膜トランジスタアレイは 4 回の写真製版工程で作成され、ソース配線下に半導体層段差が存在しないため、ソース断線が発生しにくく、かつソース電極、ドレイン電極のパターンが半導体パターンに内包されて交差しないため、リーク電流も低く抑えられた。

【 0 0 5 0 】

また最上層に配置された I P S 電極を C r で形成したことにより、パネル組み立て工程等後工程でのブラシ洗浄においても、傷等のパターンの乱れの発生を防止することができる。

【 0 0 5 1 】

【発明の効果】

本発明の薄膜トランジスタアレイ基板およびその製造方法においては、絶縁性基板、該絶縁性基板上に形成された第 1 の金属パターン、該第 1 の金属パターン上の絶縁膜、該絶縁膜上の半導体パターン、該半導体パターン上の第 2 の金属パターンを具備し、該半導体パターンは該第 2 の金属パターンを内包しているため、4 回の写真製版工程で作成され、ソース配線下に半導体層段差が存在しないため、ソース断線が発生しにくく、かつソース電極、ドレイン電極のパターンが半導体パターンに内包されて交差しないため、リーク電流も低く抑えられる。

【 0 0 5 2 】

また、ソース配線とドレイン電極を内包する半導体パターンの外縁の少なくと

も一部がゲート配線の外縁の内側に入り込んでいるので、光リークなどによるリーク電流の発生を抑制することができる。

【図面の簡単な説明】

【図 1】

本発明第 1 実施形態に示す薄膜トランジスタアレイ平面図である。

【図 2】

(a) は図 1 の A - A 断面図、(b) は図 1 B - B 断面図、(c) は図 1 C - C 断面図である。

【図 3】

本発明第 1 実施形態各工程での薄膜トランジスタアレイ平面図である。

【図 4】

本発明第 1 実施形態各工程での薄膜トランジスタアレイ平面図である。

【図 5】

本発明第 1 実施形態各工程での薄膜トランジスタアレイ平面図である。

【図 6】

本発明第 1 実施形態各工程での薄膜トランジスタアレイ平面図である。

【図 7】

本発明第 1 実施形態各工程での薄膜トランジスタアレイ平面図である。

【図 8】

本発明第 1 実施形態各工程での図 1 A - A における断面図である。

【図 9】

本発明第 1 実施形態各工程での図 1 A - A における断面図である。

【図 1 0】

本発明第 1 実施形態各工程での図 1 A - A における断面図である。

【図 1 1】

本発明第 1 実施形態各工程での図 1 A - A における断面図である。

【図 1 2】

本発明第 1 実施形態各工程での図 1 A - A における断面図である。

【図 1 3】

本発明第 1 実施形態各工程での図 1 A - A における断面図である。

【図 1 4】

本発明第 1 実施形態各工程での図 1 A - A における断面図である。

【図 1 5】

本発明第 2 実施形態に示す薄膜トランジスタアレイ平面図である。

【図 1 6】

本発明第 1 実施形態各工程での薄膜トランジスタアレイ平面図である。

【図 1 7】

本発明第 1 実施形態各工程での薄膜トランジスタアレイ平面図である。

【図 1 8】

本発明第 1 実施形態各工程での薄膜トランジスタアレイ平面図である。

【図 1 9】

本発明第 1 実施形態各工程での薄膜トランジスタアレイ平面図である。

【図 2 0】

本発明第 1 実施形態各工程での薄膜トランジスタアレイ平面図である。

【図 2 1】

本発明第 2 実施形態の第 2 写真製版に用いるマスクの T F T 部パターンである。

【図 2 2】

本発明第 3 実施形態に示す薄膜トランジスタアレイ平面図である。

【図 2 3】

本発明第 1 実施形態各工程での薄膜トランジスタアレイ平面図である。

【図 2 4】

本発明第 1 実施形態各工程での薄膜トランジスタアレイ平面図である。

【図 2 5】

本発明第 1 実施形態各工程での薄膜トランジスタアレイ平面図である。

【図 2 6】

本発明第 1 実施形態各工程での薄膜トランジスタアレイ平面図である。

【図 2 7】

本発明第 1 実施形態各工程での薄膜トランジスタアレイ平面図である。

【図 2 8】

従来構造における薄膜トランジスタ部断面図である。

【図 2 9】

従来構造における薄膜トランジスタ部平面図である。

【符号の説明】

- 1 ゲート配線
- 1 a ゲート端子部金属パッド
- 2 補助容量配線
- 2 a I P S 対向電極
- 3 ゲート絶縁膜
- 4 半導体パターン
- 4 a 半導体層
- 4 b オーミック層
- 5 ソース配線
- 5 a ソース端子部金属パッド
- 6 ソース電極
- 7 ドレイン電極
- 8 薄膜トランジスタ半導体活性層
- 9 層間絶縁膜
- 1 0 ドレイン電極コンタクトホール
- 1 1 ゲート端子部コンタクトホール
- 1 2 ソース端子部コンタクトホール
- 1 3 画素電極
- 1 3 a I P S 電極
- 1 4 ゲート端子接続パッド
- 1 5 ソース端子接続パッド
- 1 6 第 2 金属膜
- 1 7 a 第 2 写真製版通常膜厚レジストパターン

1 7 b、 1 7 c、

1 7 d、 1 7 e 第 2 写真製版薄膜パターン

1 8 第 2 写真製版レジストパターンアッシング後の開口部

1 9 T F T 部パターン

5 1 ゲート配線

5 2 ゲート絶縁膜

5 3 半導体層

5 4 オーミック層

5 5 ソース配線

5 6 ソース電極

5 7 ドレイン電極

5 8 薄膜トランジスタ半導体活性層

5 9 層間絶縁膜

6 0 コンタクトホール

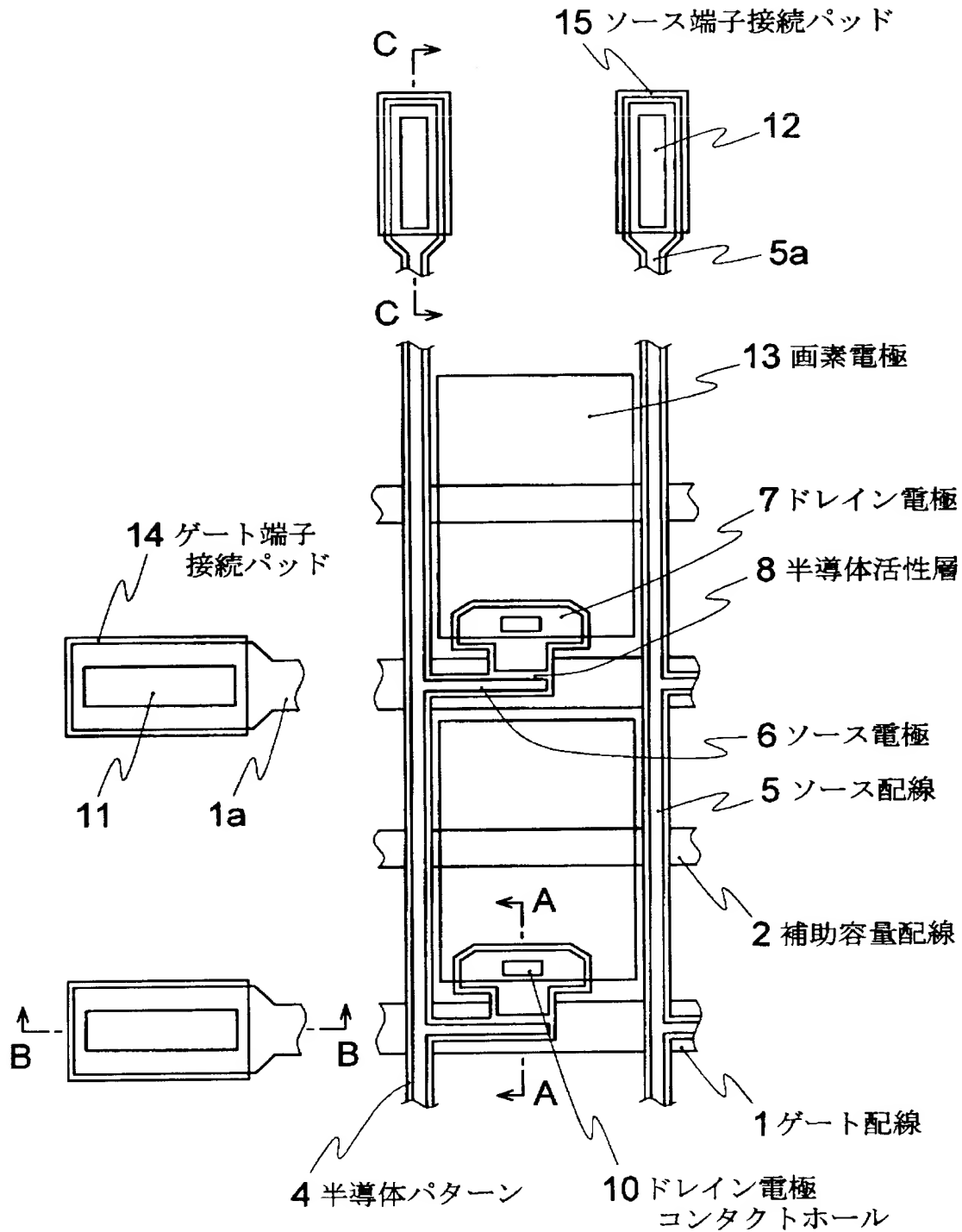
6 1 画素電極

6 2 端面リークパス

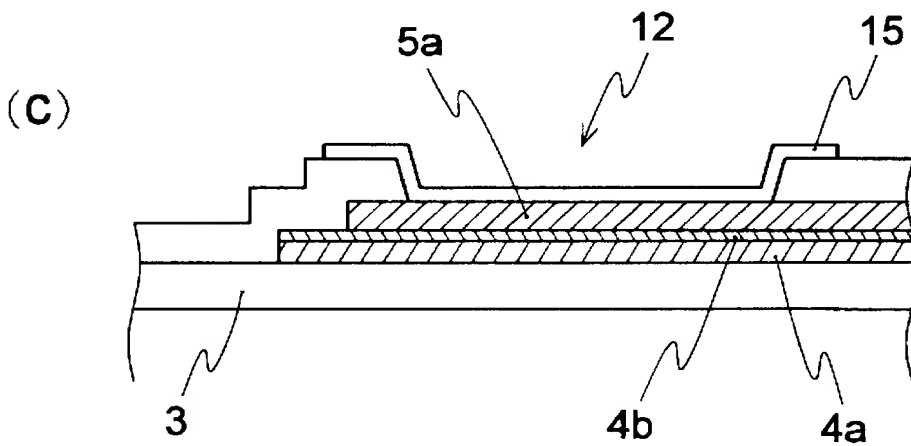
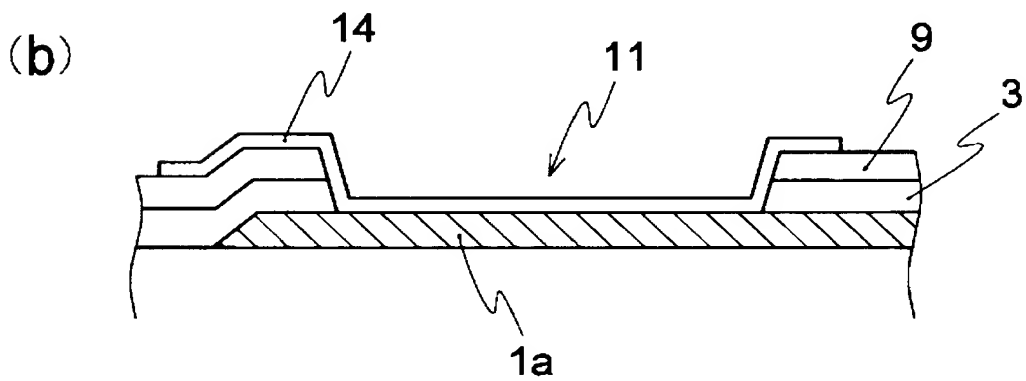
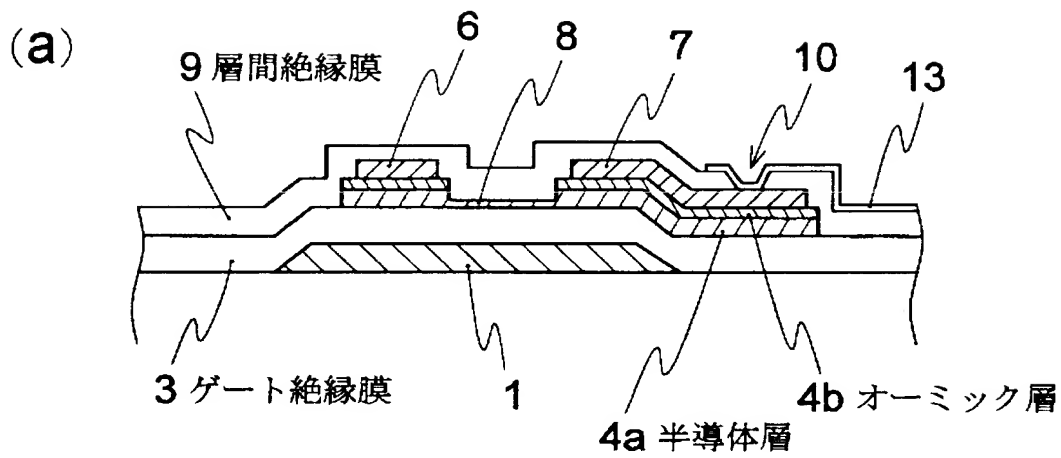
【書類名】

図面

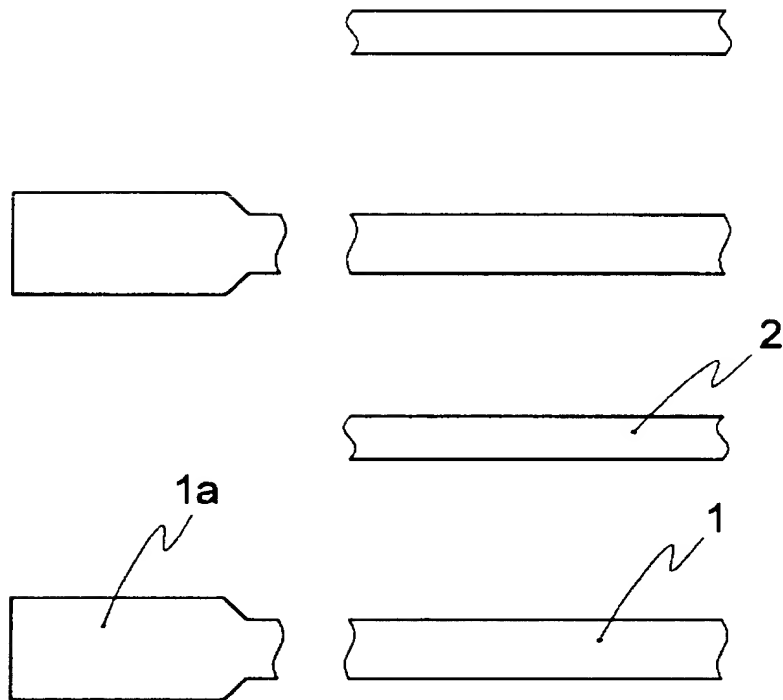
【図1】



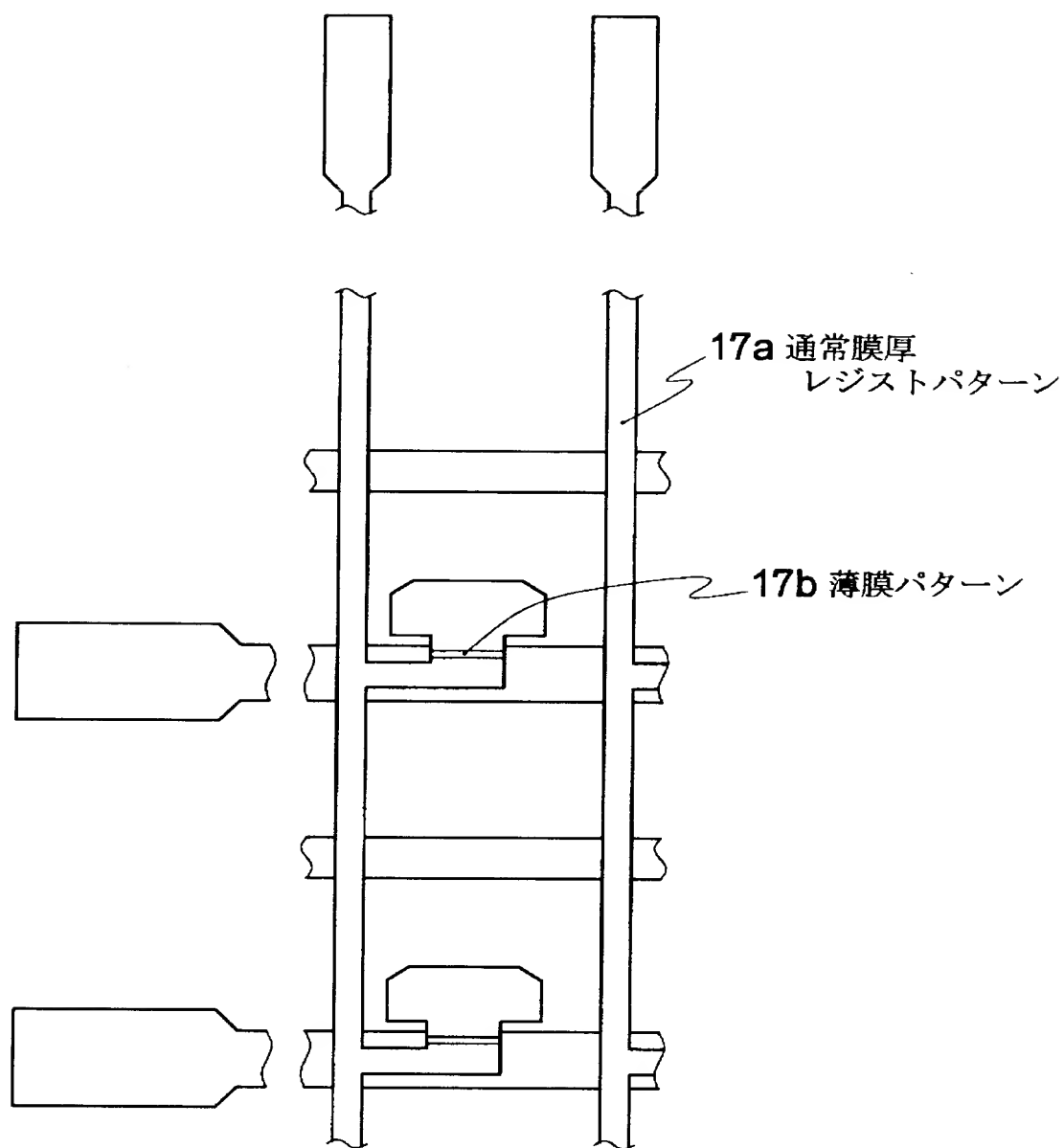
【図 2】



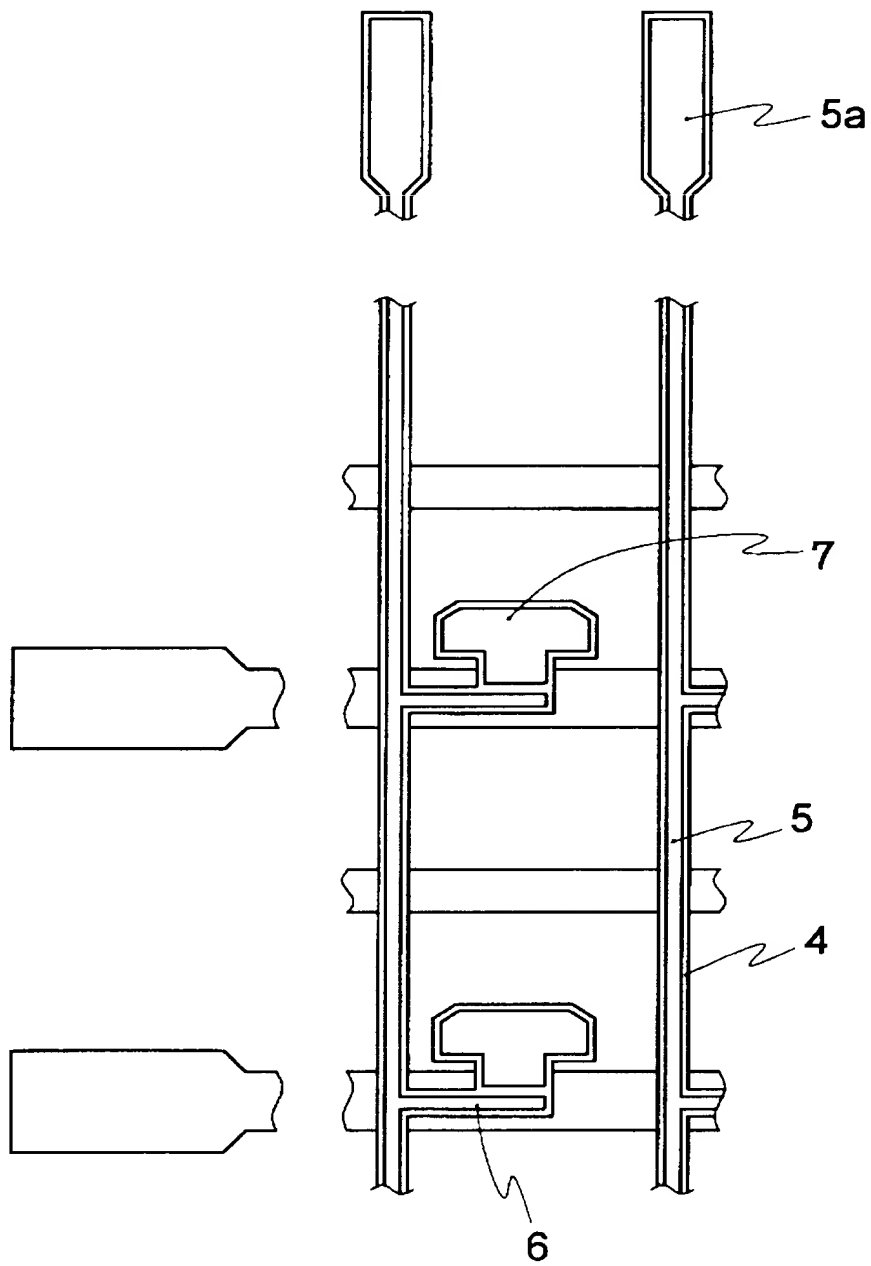
【図 3】



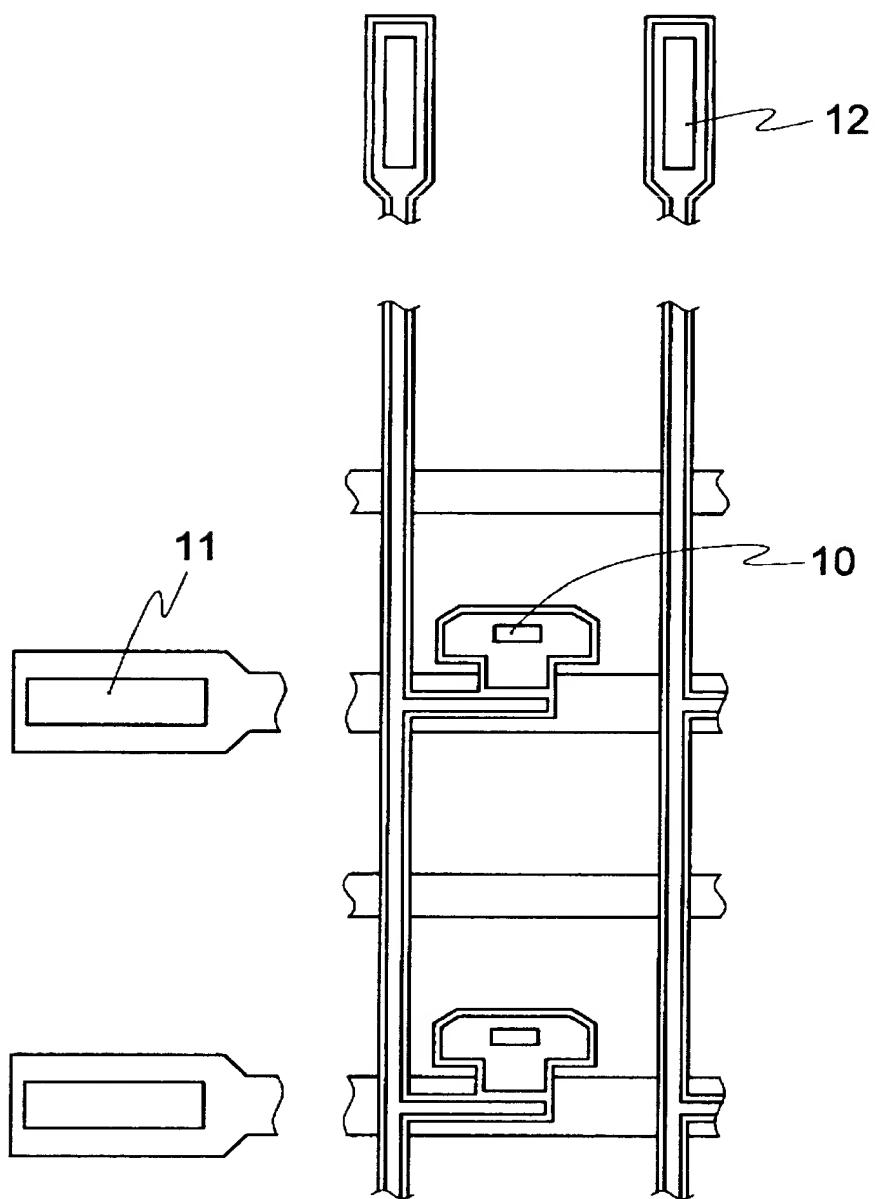
【図4】



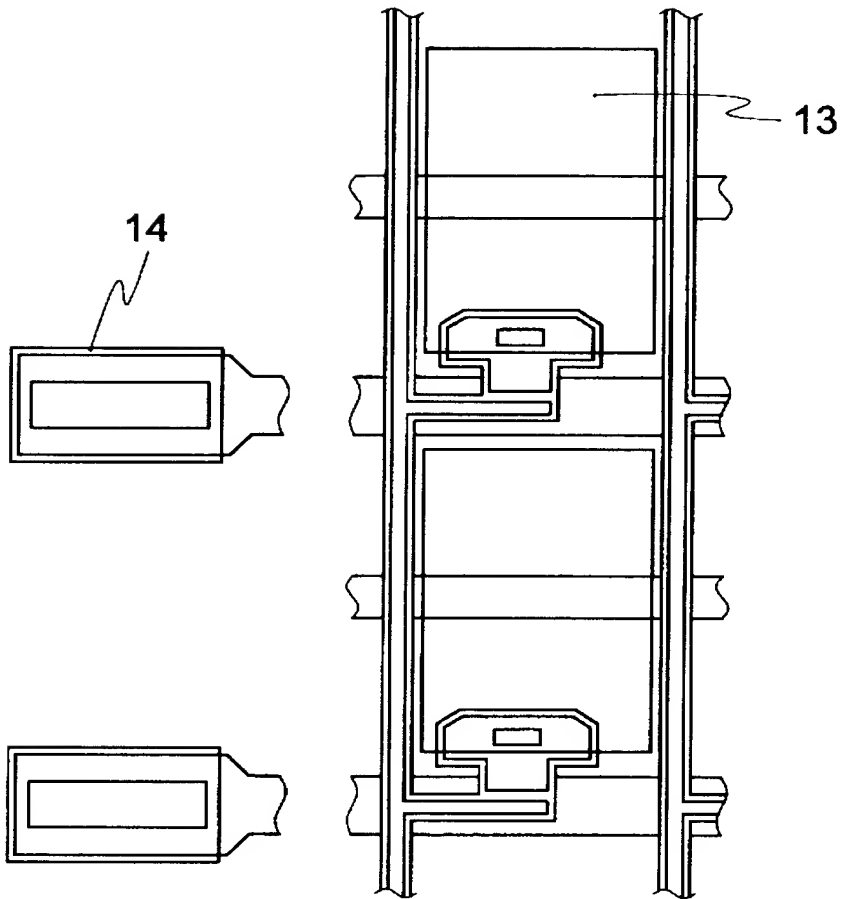
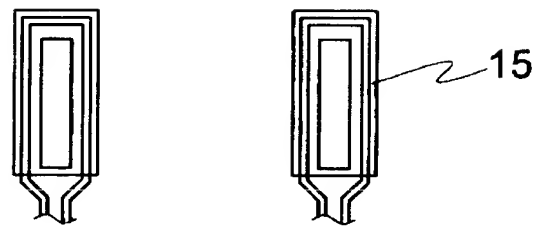
【図 5】



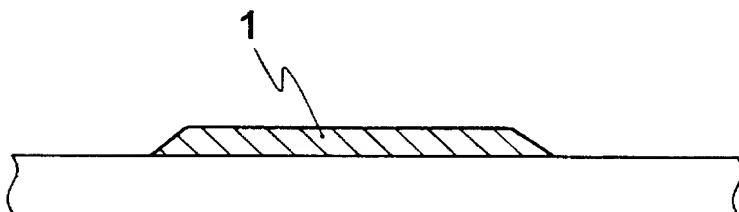
【図 6】



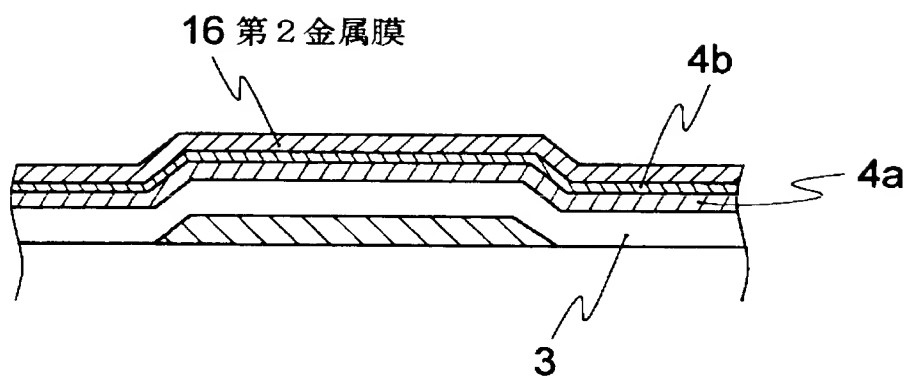
【図 7】



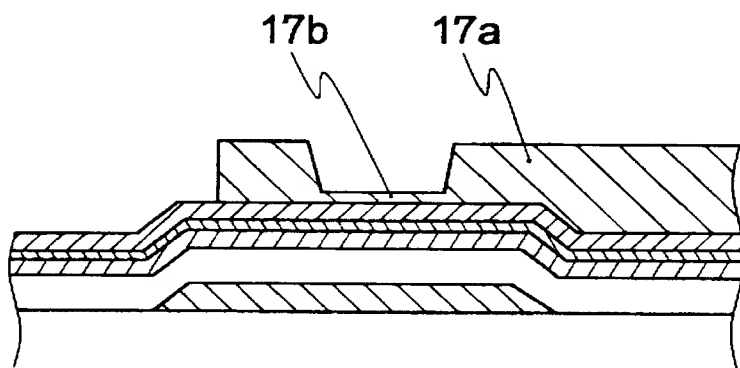
【図 8】



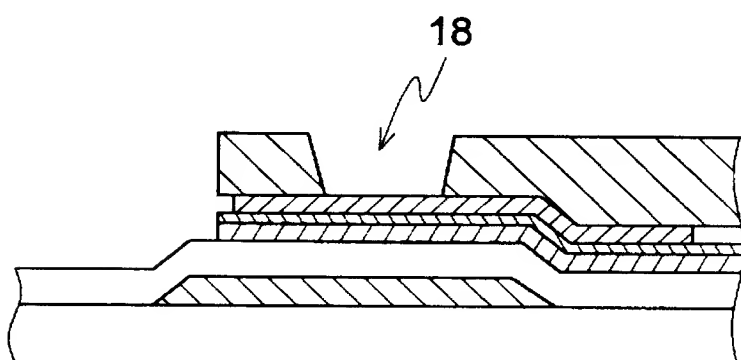
【図 9】



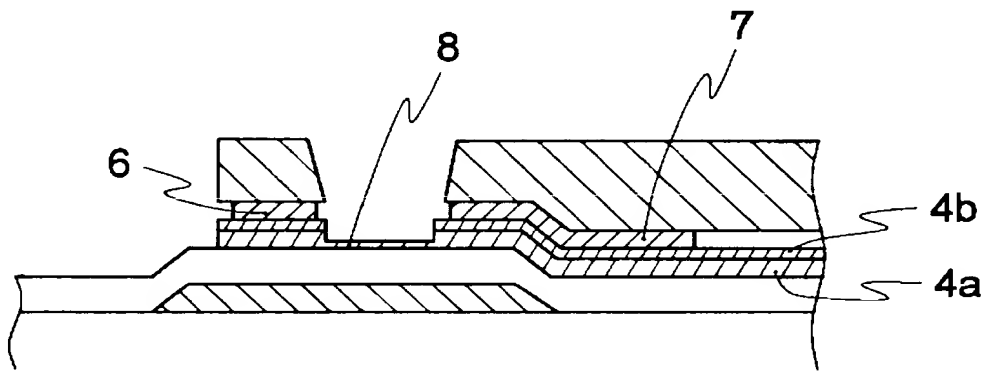
【図 1 0】



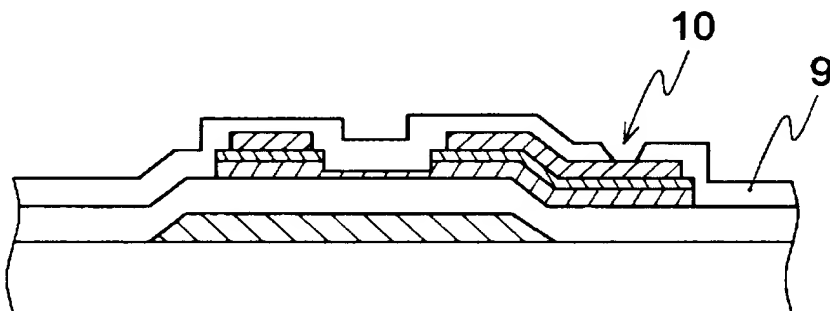
【図 1 1】



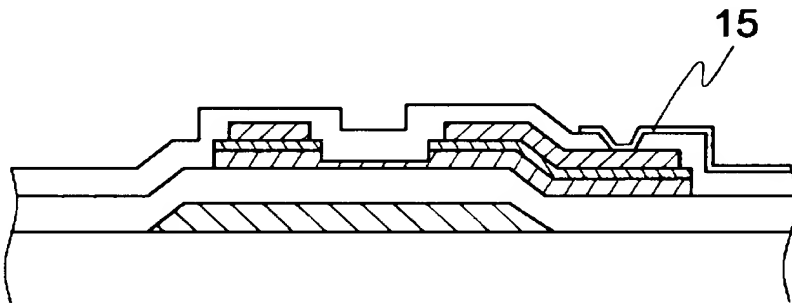
【図 1 2】



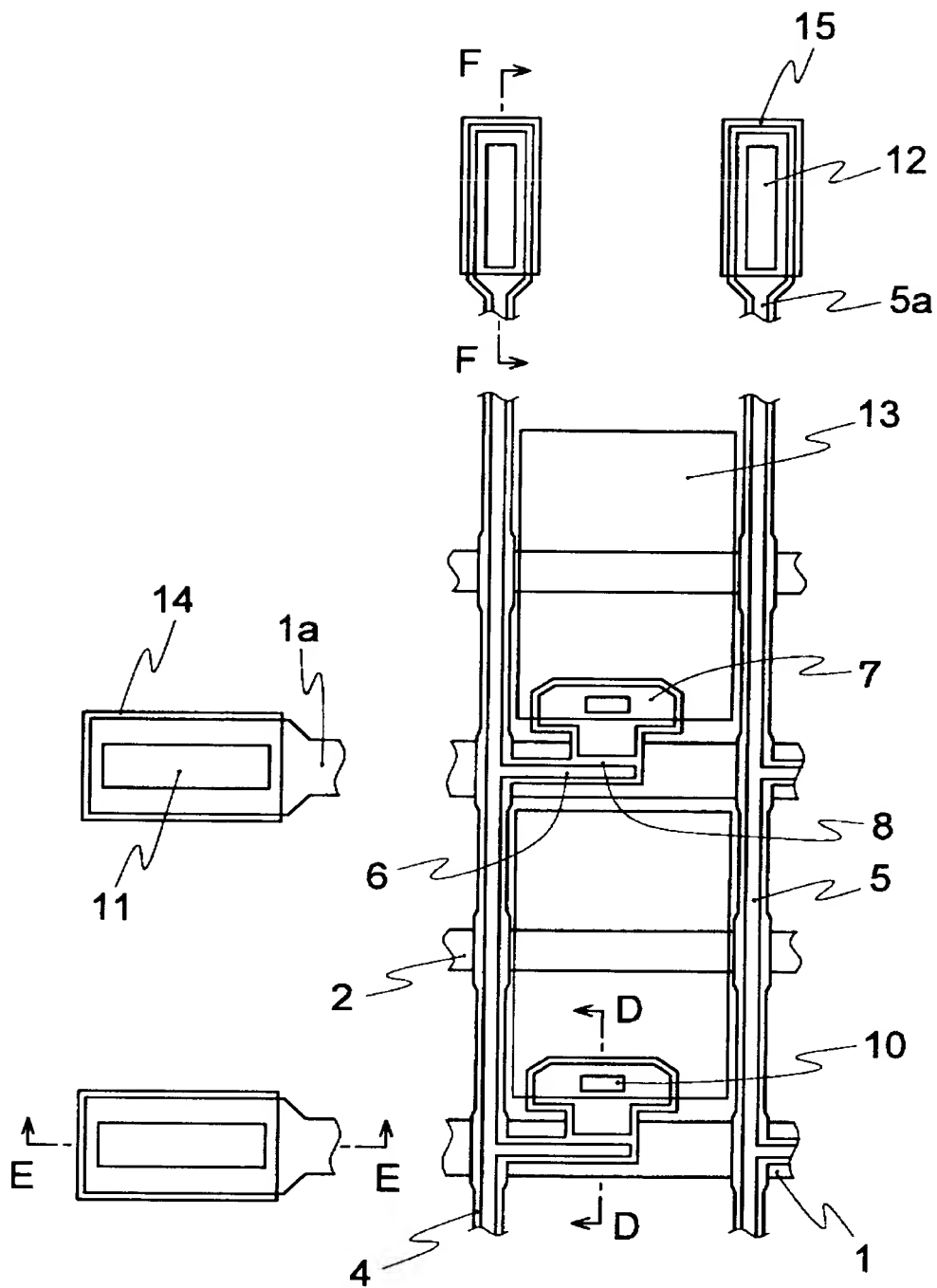
【図 1 3】



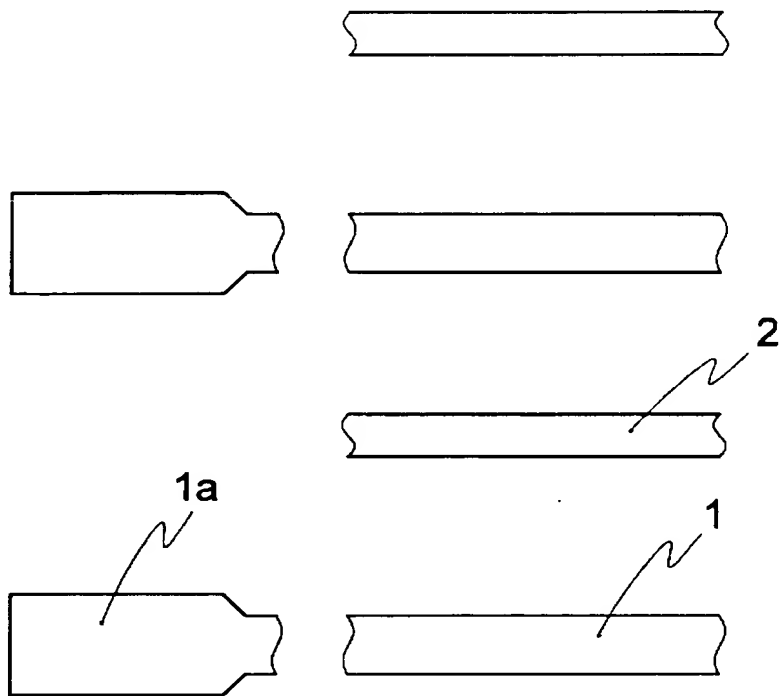
【図 1 4】



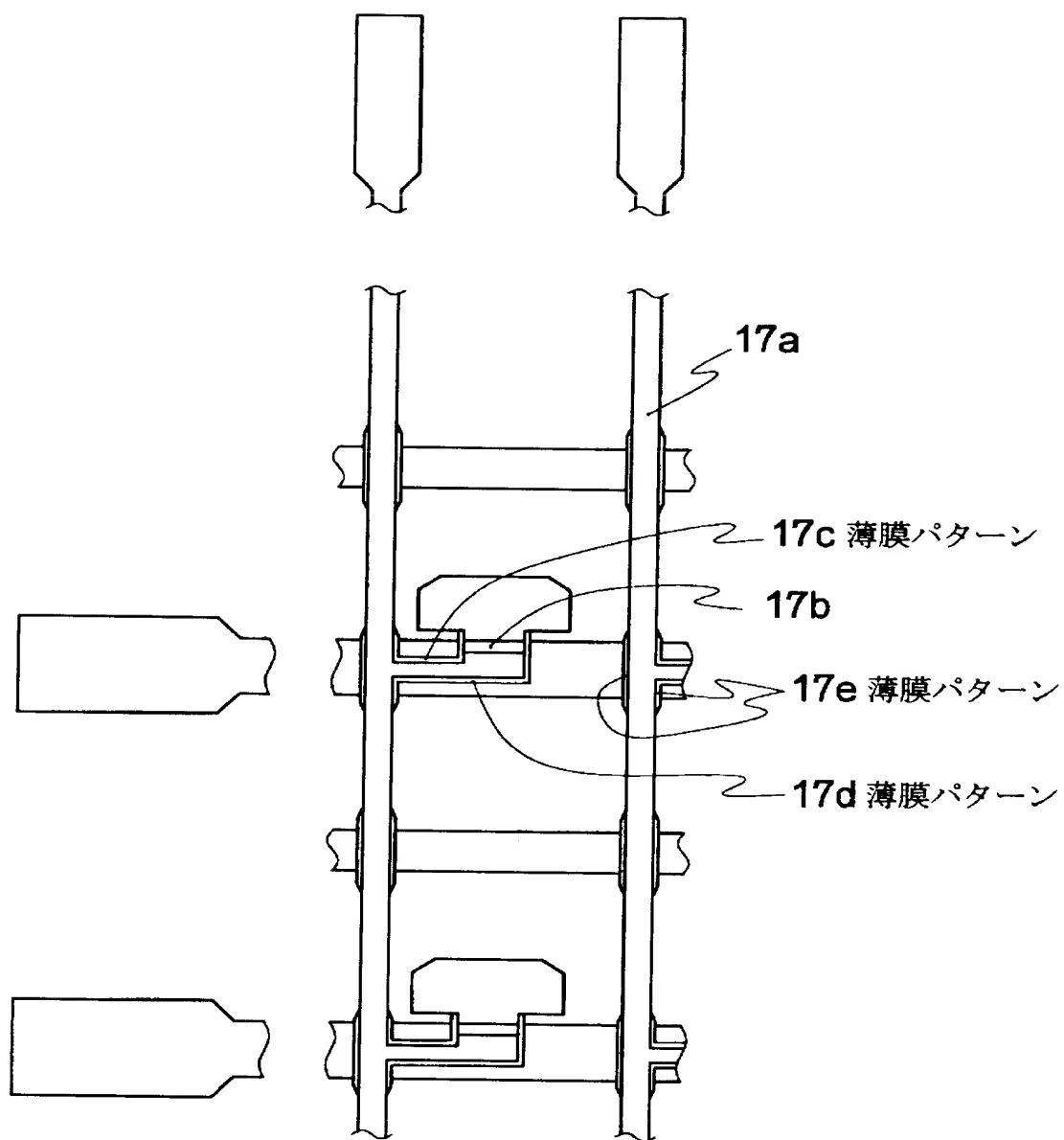
【図15】



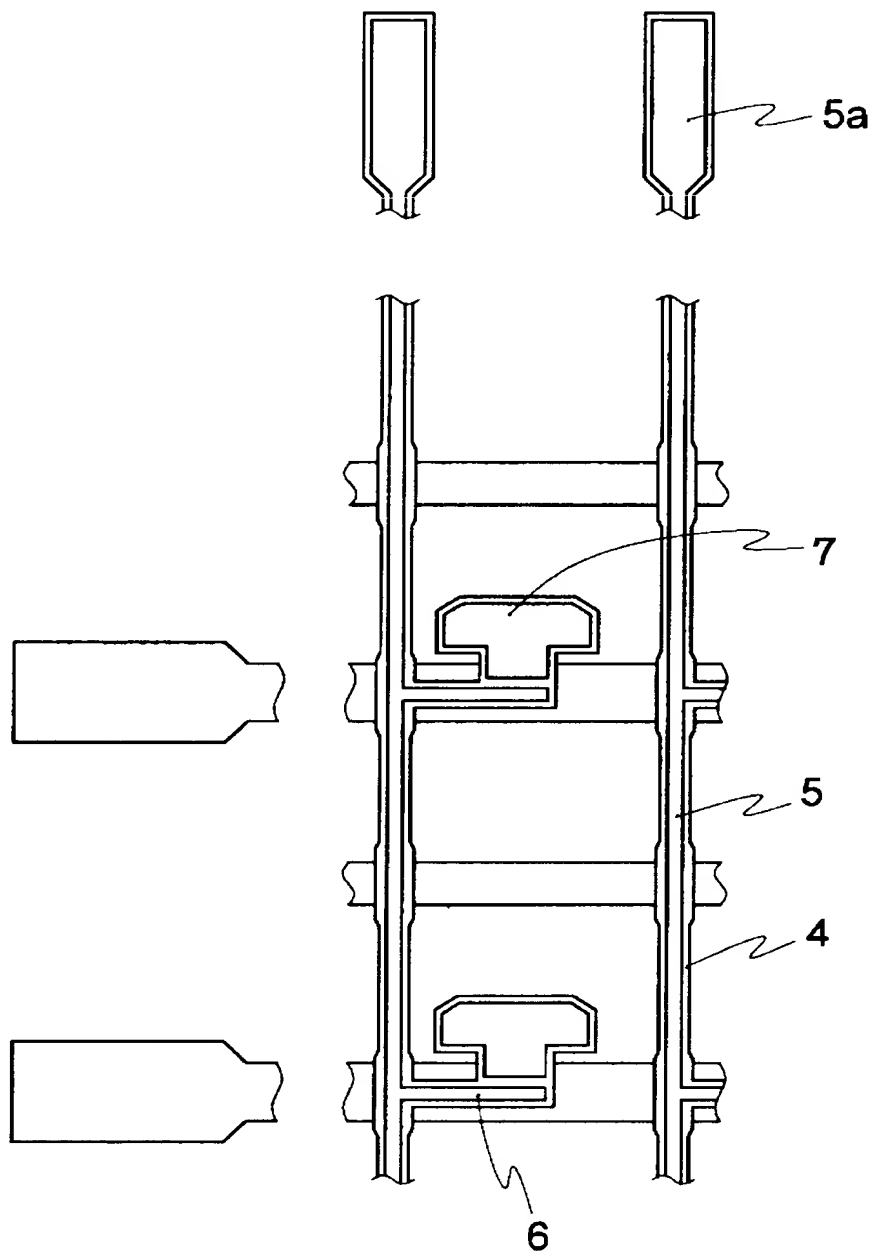
【図 1 6】



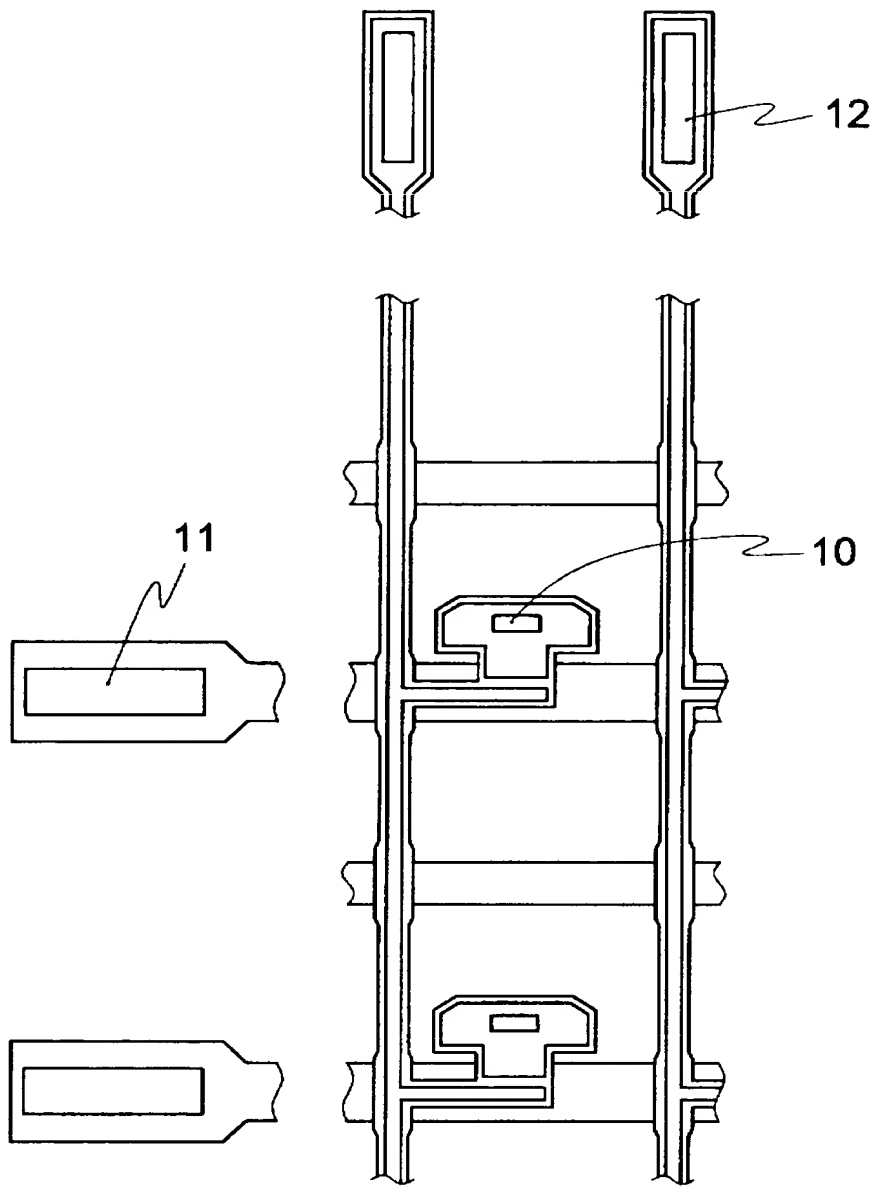
【図 17】



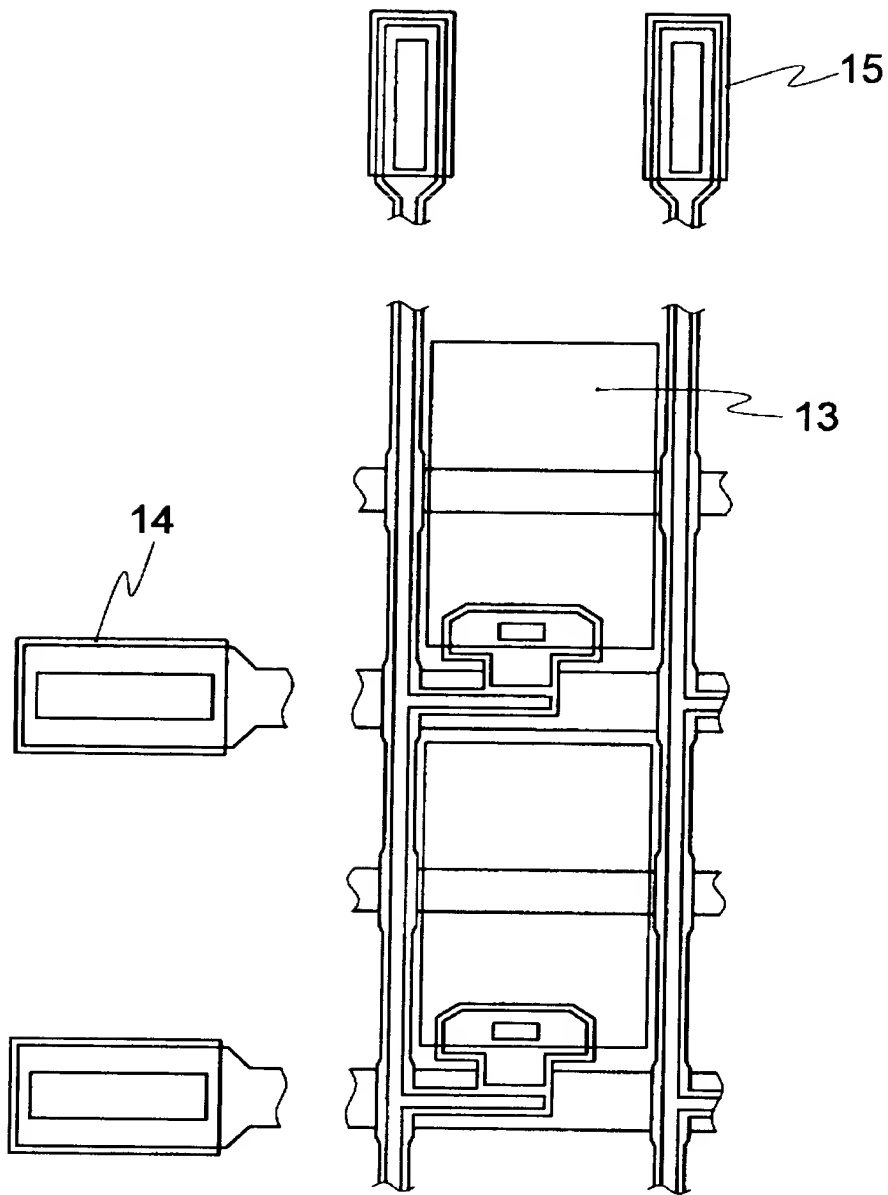
【図 1 8】



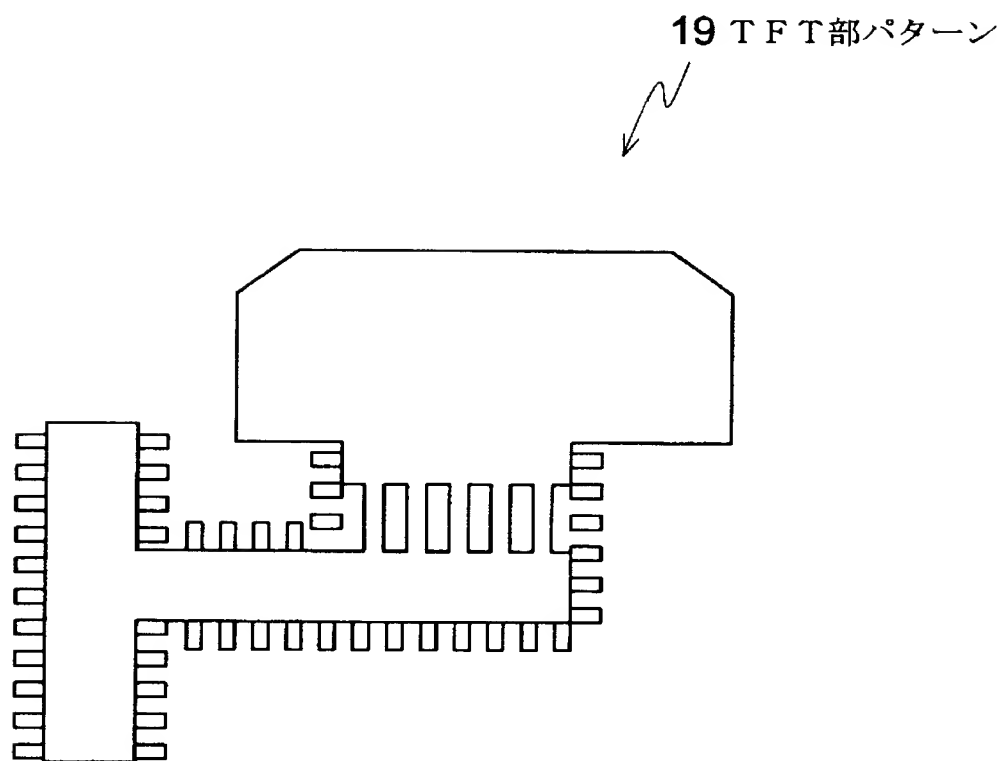
【図 1 9】



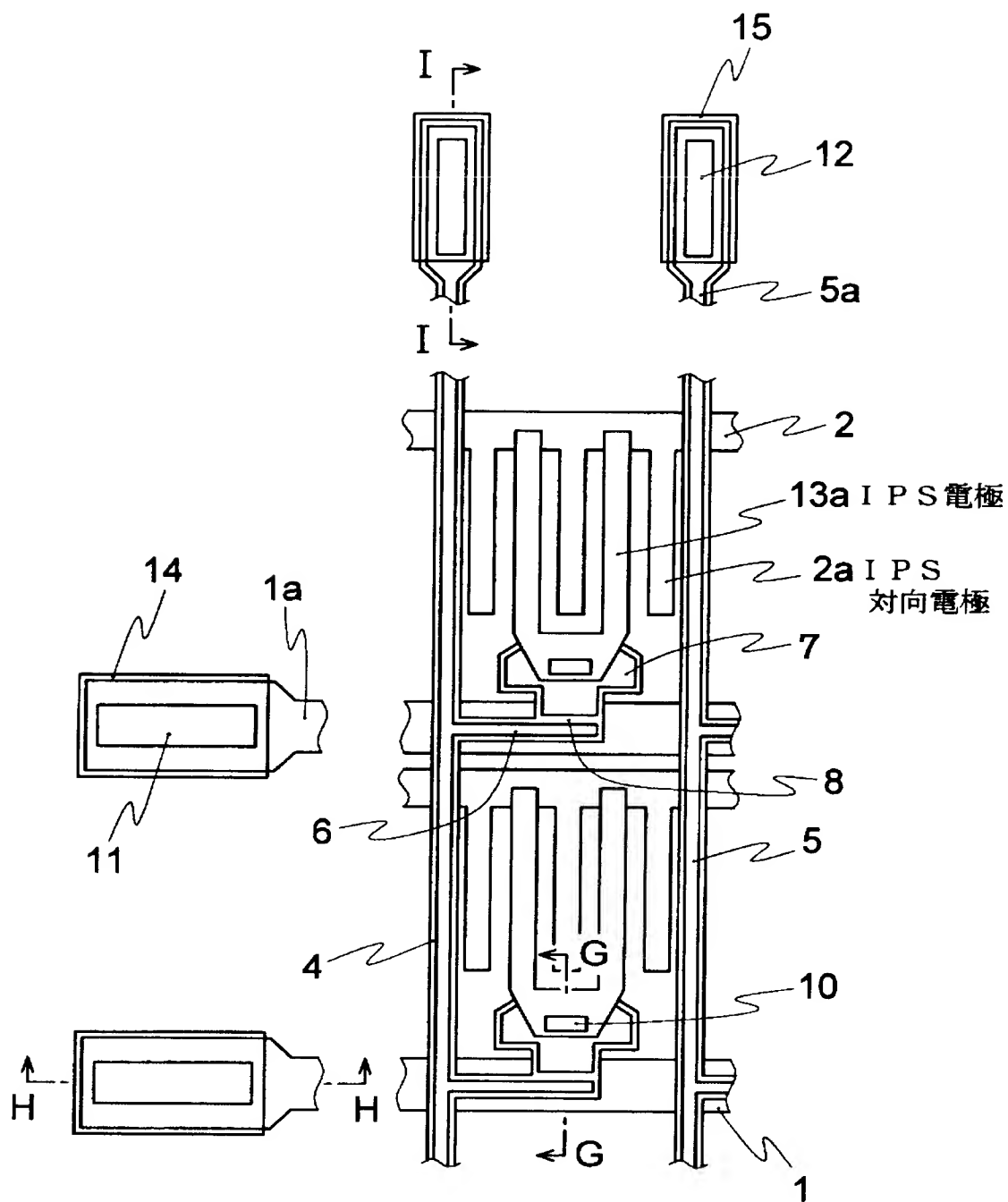
【図20】



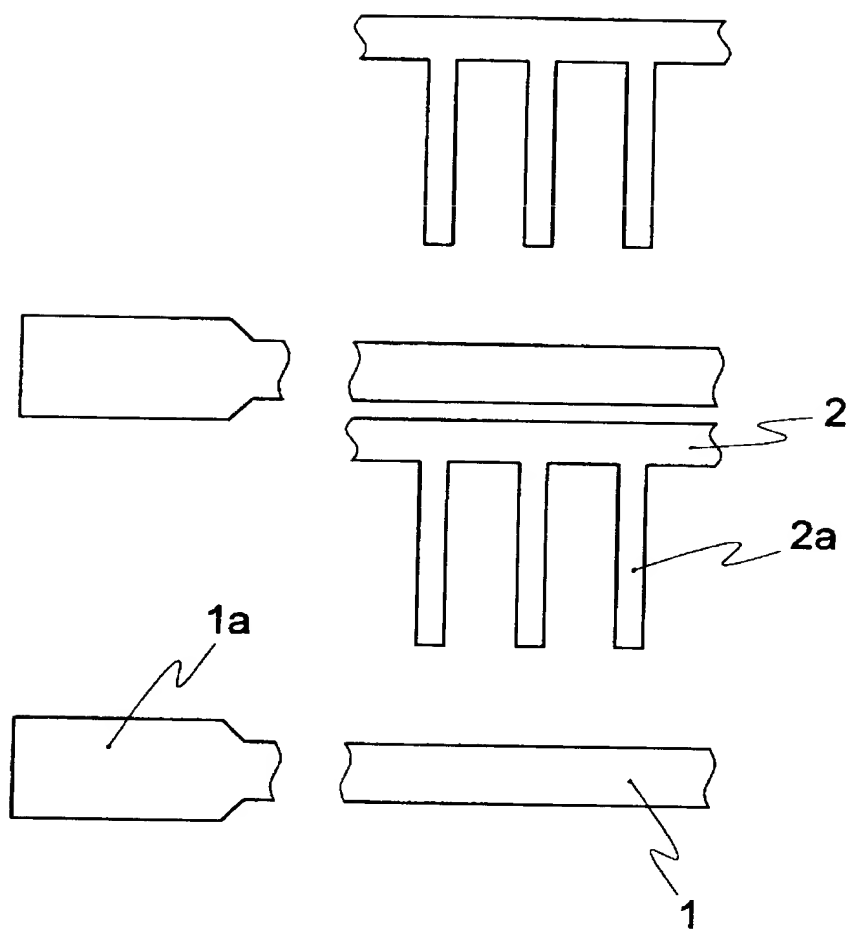
【図 2 1】



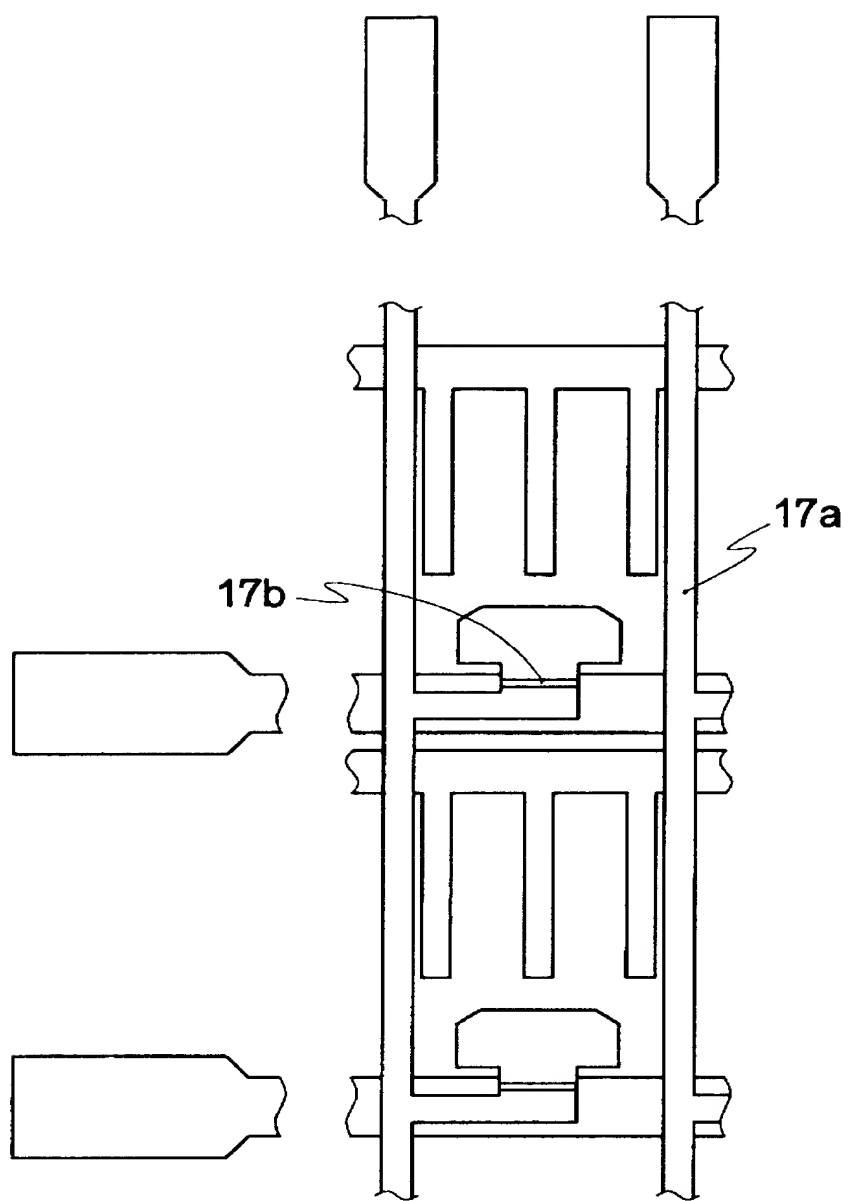
【図 22】



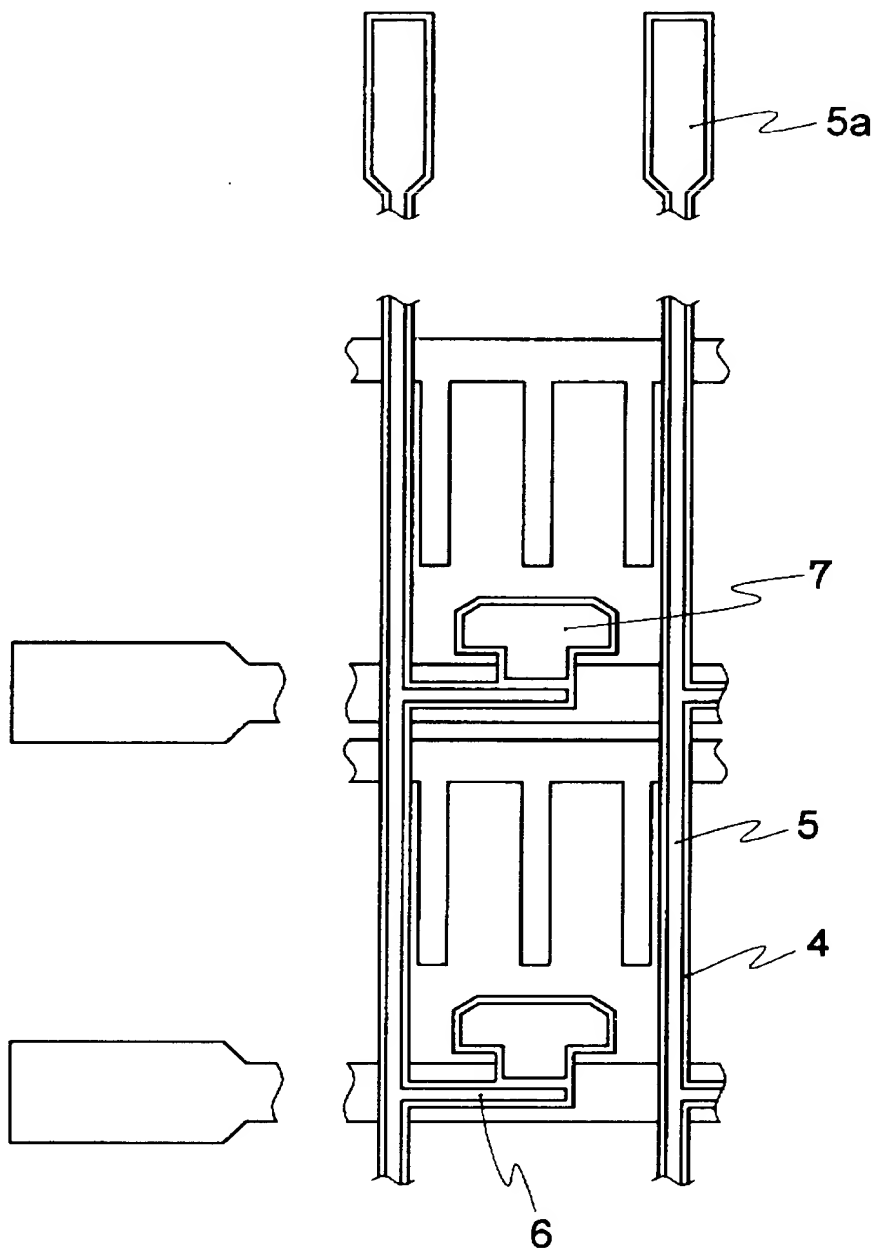
【図 2 3】



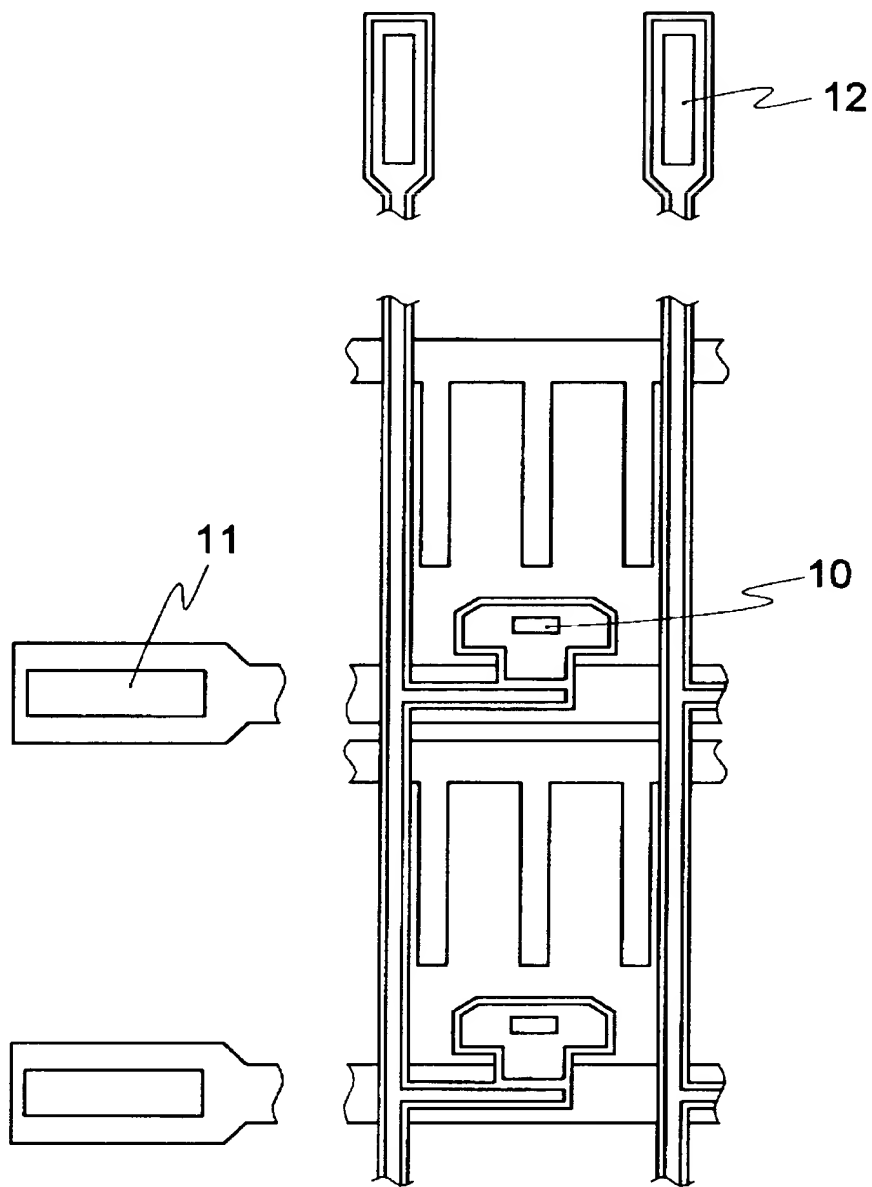
【図 2 4】



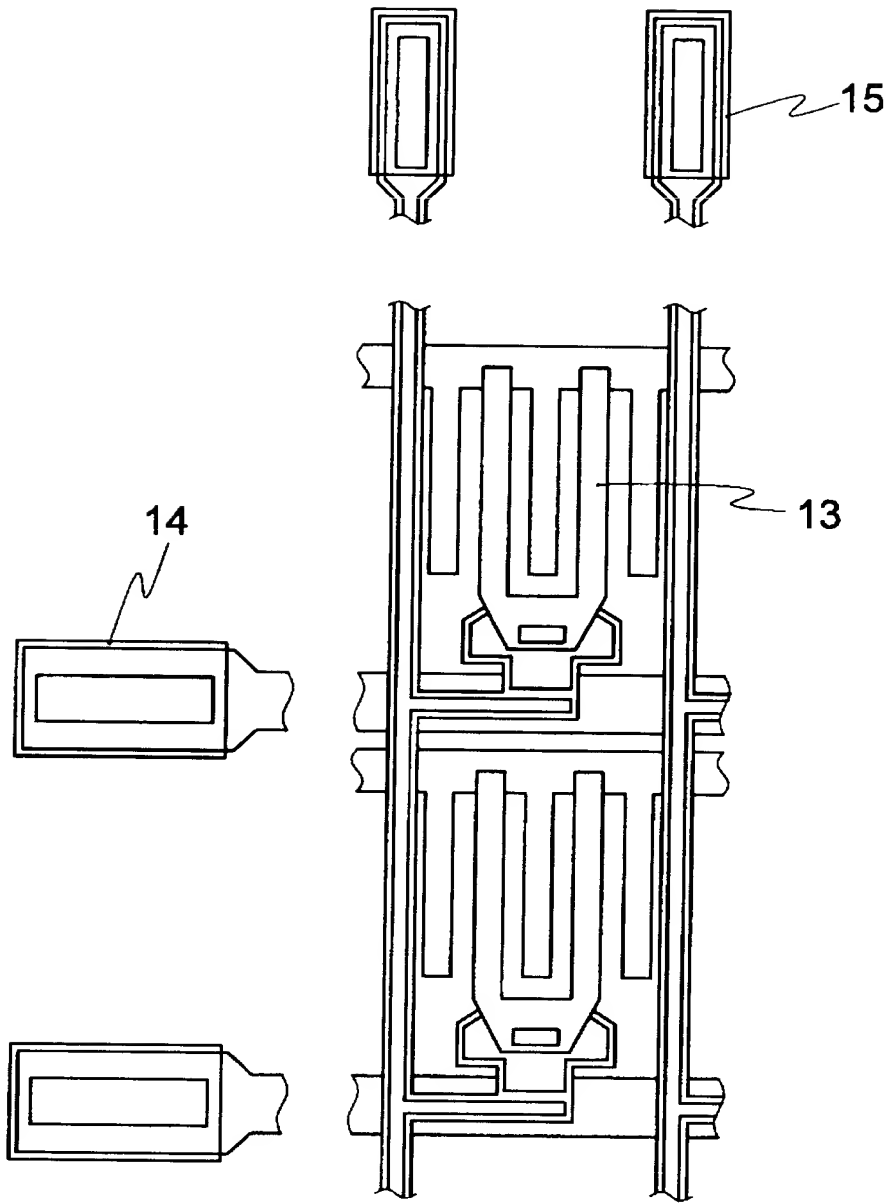
【図 2 5】



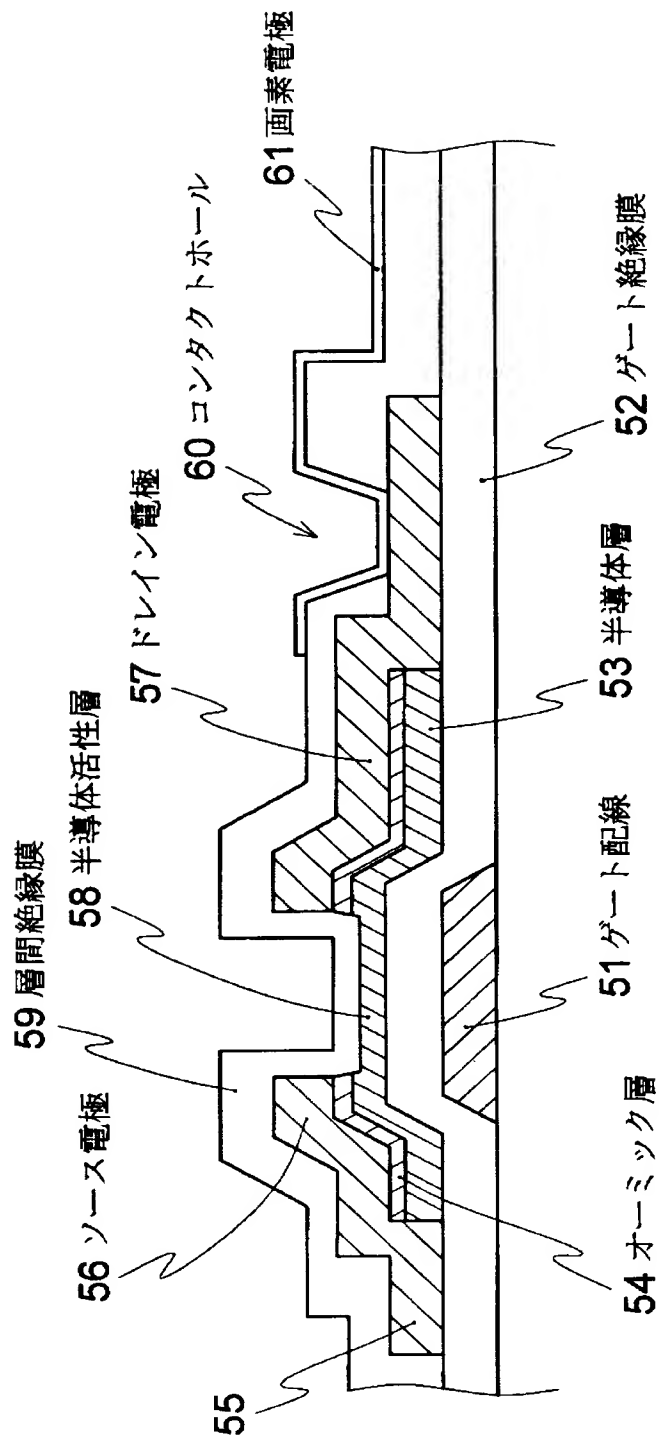
【図 2 6】



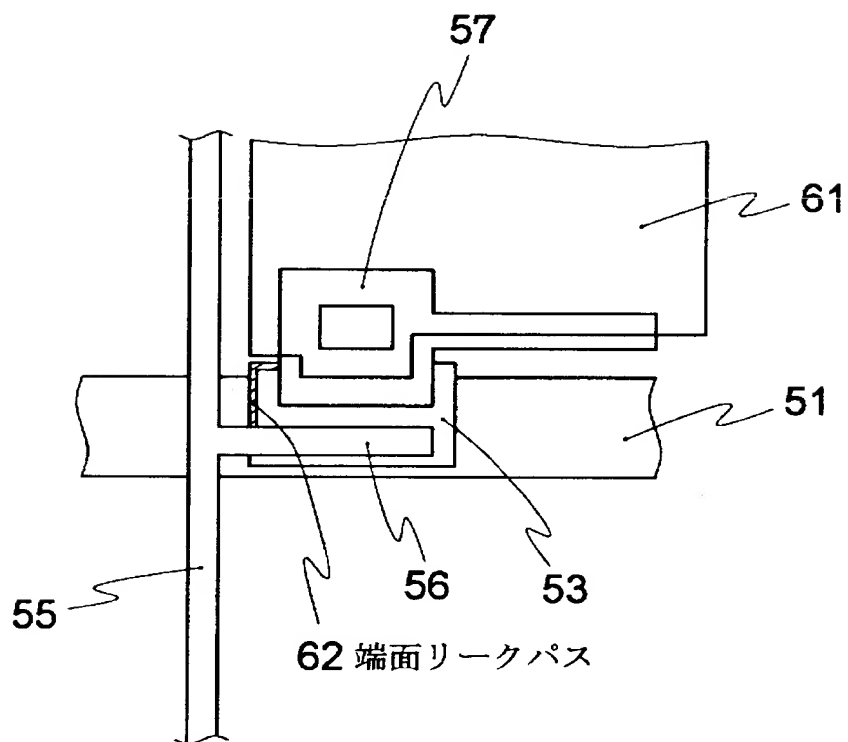
【図 2 7】



【図 28】



【図 2 9】



【書類名】 要約書

【要約】

【課題】 写真製版工程を4回用いて、ゲート配線、ソース配線、画素電極を別レイヤーに配置することにより、歩留まりを維持しつつ、さらにソース配線の断線および薄膜トランジスタ端面リークを防止する。

【解決手段】 絶縁基板上に第1の金属膜でゲート配線1を形成し、ついでゲート絶縁膜3、半導体活性層4a、オーミックコンタクト層4b、第2の金属膜を成膜した後、半導体活性層部に該当する部分のレジストが他の部分よりもレジスト膜厚が薄くなるようにレジストを形成し、第2の金属膜および、半導体膜4a、4bをエッチングした後にアッシングにより、レジスト薄膜化し、薄膜トランジスタ活性層部を露出させ、第2金属膜エッチ後、バックチャネルエッチをして、ソース電極6、ドレイン電極7、チャネル8を形成する。その後層間絶縁膜9を形成した後に、コンタクトホール10を形成し、第3の導電膜で画素を形成する。

【選択図】 図2

出 願 人 履 歴 情 報

識別番号 [5 9 5 0 5 9 0 5 6]

1. 変更年月日 1 9 9 5 年 4 月 2 1 日

[変更理由] 新規登録

住 所 熊本県菊池郡西合志町御代志 9 9 7 番地

氏 名 株式会社アドバンスト・ディスプレイ